VITAL Option 의 사용에 대해서

송흥식 (HiTEL ID : rohmqc) 옮김

(출처 : http://www.cqpub.co.jp)

VITAL(VHDL Initiative Towards ASIC Libraries) 는 딜레이.시뮬레이션(배치배선후의 타이밍. 벡아노테이션)에 표준이 되어 있지않은 VHDL 에 Verilog 의 세계에서 표준화 되어 있는 수법을 IEEE 의 규격(1076.4)으로써 도입한 것이다. 최근의 ASIC/FPGA 는 거의 이 규격에 대응하거나 앞으로 서포트할것을 표명하고 있다.

Ver4.x 에는 몇가지의 FPGA 설계에 대해서 예를 PeakVHDL 의 인스톨 디렉토리에 준비되어 있다. 아래의 수순으로 Xilinx 사의 LCA 에 대해서 시험하여 보십시요.

Actel 사, QuickLogic 사의 FPGA 에 대한 예도 같다.

0) P&R 후에 Xilinx 사의 툴에서 출력된 VITAL 에서의 게이트레벨의 모델을 컴파일전에 약간의 준비가 필요하다. Xilinx 의 VITAL 라이브러리를 컴파일하여 Xilinx 의 LCA 의 설계에서 공통으로 참조될수 있도록 라이브러리화 한다. 이 작업은 Xilinx 사의 라이브러리가 바뀌었어도 PeakVHDL 의 오브젝트 형식이 바뀌었을 때에 한번만 필요하다. 또한 LCA 를 사용하여 설계때 마다 한번 그의 PeakVHDL 의 프로젝트에 컴파일된 Xilinx 의 라이브러리.패스를 등록할 필요가 있다.

1) \acc-eda\examles\vital\xilinx 에 LCA 를 서포트하는 VITAL 라이브러리 simprim_VITAL.VHD, simprim_Vcompornent.vhd, simprim_Vpackage.vhd 의 3 가지의 VHDL 소스파일이 있다. 이것을 \acc-eda\LIB4\xilinx 에 Copy 한다. 폴더 xilinx 는 작성하여 주십시요.

2) PeakVHDL ver4.x 를 기동시켜 라이브러리의 컴파일용으로 신규 프로젝트를 XVLIB(임의의 이름으로)로 \acc-eda\LIB4\xilinx 에 등록한다.

3) 프로젝트 XVLIB 에 simprim_VITAL.vhd, simprim_Vcompornent.vhd, simprim_Vpackage.vhd 를 첨가한다.

4) 컴파일옵션의 설정 다이얼로그(Menu Option->Compile)을 열어 Compile order 의 라디오보턴 을 " Selected file only" 로 설정한다. " Compile into library"의 다이얼로그에 simprim 으로 입력하여 Xilinx 사의 툴에서 출력된 VITAL 모델의 VHDL 파일이 참조될수 있는 파일로 한다.

5) simprim_VITAL.vhd 를 선택하여 컴파일보턴을 눌러 PeakVHDL 의 오브젝트파일을 라이브러리 simprim 에 등록한다. Simprim_Vcompornent.vhd, simprim_Vpackage.vhd 에 대해서도 같다.

6) 이로써 Xlinx 사의 툴에서 출력된 VITAL 모델의 시뮬레이션이 가능하게 된다. \acc-eda\xamples\vital\xilinx 에 있는 예를 시뮬레이션 하여 봅시다.

7) \acc-eda\xamples\vital\xilinx 에 신규로 프로젝트 xvital.acc 를 등록한다. 2 개의 VHDL 파일을 프로젝트에 첨가한다. VITAL 모델의 testand.vhd 와 테스트벤치의 test_testand.vhd 2 개이다. SDF 파일 testand.sdf 도 이 폴더에 같이 있다.

8) 다음으로 옵션의 설정을 한다.

- Option -> link 로 링크.옵션의 다이얼로그를 연다.

  SDF(standard delay format)file 의 다이얼로그에 testand.sdf 로 입력한다.

  SDF Instance Path 의 다이얼록에 DUT 로 입력한다. 이는 테스트벤치 파일중에서 VITAL 모델이 DUT 라는 이름으로 인스턴스화 시키기 위한것이다.

- Option -> System 으로 시스템설정의 다이얼로그를 연다.

  앞의 5)에서 등록한 라이브러리 simprim 의 패스를 System Library path 로 한다.

(예) c:\acc-eda\lib4\;c:\acc-eda\lib4\Xilinx

- SDF Timing 의 라디오보턴을 Avg 로 설정한다. 다음으로 Min, Max 를 시험해 보십시요. 딜레이가 감소하거나 증가하는 것을...
- 다른 옵션은 적절히 판단하여 설정하십시요.

9) 이후는 지금까지 (VITAL 이 아닌)의 시뮬레이션과 같다.

- Actel ACT3 의 예를 , act3c.vhd, act3e.vhd, act3v.vhd 를 act3 로 라이브러리화 하여 실행해 보십시요. QuickLogic 의 예를 , Qlvtl95.vhd 를 qlprims 로 라이브러리화하여 실행해 보십시요.
- VITAL 서포트되는 타시의 디바이스의 서포트도 VITAL 라이브러리를 입수하여 같은 순서로 하면 가능하게 된다.

VITAL Digital SIG