

News & Views

2003-1

Newsletter for Altera Customers

Nios



주요 내용

- Nios 프로세서 3.0버전, 고객이 가장 필요로 하는 특성 제공
4 페이지
- Nios 임베디드 프로세서, 프로그래머블 조직, IP 및 SOPC Builder 툴을 사용하여 커스텀 마이크로컨트롤을 구현하기
7 페이지

20 YEARS of

ALTERA
INNOVATION



새로운 차원의 PLD

지난 20년간의 혁신적인 발달을 바탕으로 알테라가 목표하는 새로운 영역을 조망하여 볼 때 우리는 매우 흥미로운 시점에 와 있습니다. 과거의 버전과는 차원이 다른 오늘날의 FPGA는 고객의 시스템의 핵심을 차지하는 강력한 칩으로서 거듭났습니다. 고객이 필요로 하는 바를 제공하고자 하는 확고한 알테라의 방침에 입각하여, 알테라의 FPGA의 장점과 가격 구조는 제품의 특성 결핍이나 성능의 저하 없이 시스템 비용을 절감하려고 하는 고객의 강력한 요구에 부응할 수 있는 수준에 도달하였습니다.

결과적으로, 알테라 뿐만 아니라 반도체 산업에 있어 전체적인 패러다임의 변화가 일어나고 있습니다. 시스템 아키텍처 엔지니어나 설계자들은 그들의 테크놀로지를 대체하는 데에 프로그래머블 로직 디바이스(PLD)를 점차 더 많이 사용하고 있습니다. 여러 다른 마켓들이 가격 증가 없이 유연성을 점점 요구함에 따라 우리의 대상 마켓은 초기 분야-통신분야-뿐 아니라 보다 넓은 영역으로 확장되었습니다. 예를 들어 Stratix™ 디바이스는 영상 어플리케이션을 위한 DSP(digital signal processor)의 효과적인 대안으로서 자리매김하였습니다. 또한 Cyclone™ 디바이스가 내장된 Nios® 프로세서를 는 마이크로 컨트롤러를 대체함으로써 고도의 유연성을 갖춘 저가 프로세서 솔루션으로서 획기적인 돌풍을 일으키고 있습니다. (지금까지, Nios 임베디드 프로세서는 1만 여 이상의 사용자에게 판매되었으며 사용자 층은 기하급수적으로 증가하고 있습니다.) SERDES(serializer/deserializer)를 내장한 Stratix GX 디바이스는 고해상도 TV와 같이 급증하는 정보를 처리하기 위해 더 빠른 데이터 속도와 로직을 필요로 하는 어플리케이션의 영역인 디지털 브로드캐스트 영역에서 ASSP를 대체하고 있습니다. HardCopy™ 디바이스는 현재 가격과 성능의 경쟁이 심한 스토리지 시스템에서 많이 사용되고 있습니다. 더 이상 예전의 PLD가 아닌 새로운 차원의 PLD입니다.

이제 FPGA는 차기 핵심 부품으로써 부각되고 있습니다. George Gilder씨가 2002년 12월 자신의 회보에서 말했듯이 “다가오는 시대의 혁신적인 디지털 아키텍처는 다이내믹 프로그래머블 로직에서 실현될 것이며 이는 유연성을 확보하는 한편 CPU 아키텍처의 번거로움을 없앨 수 있을 것입니다.”

News & Views의 이번 호에서는 우선 알테라의 20주년을 기념하고, 알테라 FPGA의 고객의 어플리케이션을 다룰 것입니다. 현재 우리의 삶의 한 부분을 차지하는 시스템의 핵심에 놓인 알테라의 FPGA 제품은 고객과의 지속적인 대화를 통하여 발전을 거듭할 것입니다.

Hugh Durdan

부사장

컴퓨터, 컨슈머 및 인더스트리얼 사업부

Table of Contents

Features

Nios 프로세서 3.0 버전, 고객이 가장 필요로 하는 특성 제공	4
Nios 임베디드 프로세서, 프로그래머블 로직, IP 및 SOPC Builder 툴을 사용하여 커스텀 마이크로 컨트롤러 구현하기	7
Nios 관련 뉴스	10
Nios 프로세서의 테스트 드라이브가 무료 !	10
Stratix 디바이스로 MAN 어플리케이션에 대한 EoS 가능(최대 10-Gbps 데이터 속도까지)	11
Dini 그룹, 메모리-집약적인 혹은 DSP-집중된 어플리케이션에 이상적인 Stratix FPGA-기반의 로직 에뮬레이션 제품 발표	12
Stratix FPGA로 실-시간 마이크로프로세서 개발 가능	14
Plexus사, 알테라의 Excalibur 디바이스를 사용하여 DSP 개발 및 평가 플랫폼 개발	16

Devices & Tools

Cyclone : 업계 최저가 FPGA, 현재 양산 중 ...	18
Cyclone FPGA 특성	18
Cyclone FPGA에 대한 고객의 반응	18
모든 Stratix 디바이스, 현재 양산 공급 중	19
Stratix 디바이스, 2종의 새로운 패키지 추가	19
Stratix GX: 고속 시스템 솔루션	19
특성화	19
Excalibur 디바이스에서 SA-1110 유사 설계 구현	20
EPXA10D 개발 키트	20
Nios 임베디드 프로세서 3.0 버전 현재 공급 중 ..	21
Nios 개발 키트, Stratix 에디션 현재 공급 중	21
APEX II 디바이스 공급	21
APEX II 인더스트리얼-등급 디바이스의 특성	22

Mercury 디바이스 현재 양산 모드로 공급 중	22
APEX 20KC, 양산 모드로 공급 중	22
인더스트리얼-등급의 APEX 특성	23
ACEX 1K 디바이스 공급	23
MAX Power Calculator	24
무료 ByteBlasterMV 케이블	24
새로운 시리얼 컨피규레이션 디바이스	24
향상된 컨피규레이션 디바이스	24
Quartus II 2.2 버전 서비스 팩 1, Cyclone 디바이스에 대한 완전한 지원 강화	24
새로운 디바이스 지원	25
정보 자료	25
Quartus II 웹 에디션, Cyclone 디바이스에 대한 모든 지원 추가	25
새로운 설계 소프트웨어 초보자 CD 현재 공급 중 ..	25
ByteBlaster II 케이블 현재 공급 중	25

Contributed Articles

알테라-기반의 10 기가비트 이더넷 테스터 개발 ...	26
--------------------------------	----

Altera News

귀하의 의견을 듣습니다.	28
알테라, 제3자 컨퍼런스에서 Design Practice 발표	28

In Every Issue

단종 디바이스 업데이트	29
How to Contact Altera	30

Altera, ACAP, ACCESS, ACEX, ACEX 1K, AMPP, APEX, APEX 20K, APEX 20KC, APEX 20KE, APEX II, Atlantic, Avalon, BitBlaster, ByteBlaster, ByteBlaster II, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, Cyclone, DirectDrive, E+MAX, Excalibur, FastLUT, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Flexible-LVDS, HardCopy, IP MegaStore, Jam, LogicLock, MasterBlaster, MAX, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, Mercury, MultiCore, MultiVolt, MultiTrack, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, PowerGauge, Quartus, Quartus II, RapidLAB, SignalCore, SignalProbe, SignalTap, SignalTap Plus, SignalTap II, SoftMode, Stratix, Stratix GX, Terminator, The Programmable Solutions Company, TriMatrix, True-LVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. ARM and Multi-ICE are registered trademarks and ARM922T and ETM9 are trademarks of ARM limited. HP-UX is a trademark of Hewlett-Packard Company. HyperTransport is a trademark of HyperTransport Consortium. Intel and StrongARM are registered trademarks of Intel. Mentor Graphics is a registered trademark and Exemplar, LeonardoSpectrum, and ModelSim are trademarks of Mentor Graphics Corporation. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. PALACE is a trademark of Aplus Design Technologies, Inc. RapidIO is a trademark of RapidIO Trade Association. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synplicity, Synplify, Synplify Pro are registered trademarks of Synplicity, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

Copyright © 2003 Altera Corporation. All rights reserved.



Printed on recycled paper.



I.S. EN ISO 9001

John Panattoni,
Publisher
Justin Bennett,
Technical Editor
Pete Santana,
Cover Layout
101 Innovation Drive
San Jose, CA 95134
Tel : (408) 544-7000
Fax : (408) 544-7809
n_v@altera.com



Nios 프로세서 3.0 버전, 고객이 가장 필요로 하는 특성 제공

2000년 가을에 소개된 이후 알테라의 Nios® 임베디드 프로세서는 전세계 개발자들이 선호하는 소프트웨어 프로세서 솔루션으로서 1만개 이상 하드웨어 키트가 판매되었다. 사용이 간편하고 신뢰할 수 있는 성능을 제공하기 때문에 설계 커뮤니티에서는 그들의 표준 FPGA 프로세서로서 Nios 프로세서를 선택하였다.

Nios 개발자를 염두에 둔 개발 작업

Nios 개발자 커뮤니티는 지난 1년 이상동안 다양한 피드백을 제공하였으며 우리의 설계 팀이 더욱 유용한 특성과 향상에 전력을 할 수 있도록 도움을 주었다. Nios 프로세서 3.0 버전으로 알테라는 개발자로부터의 피드백에 근거한 향상된 제품의 최신 특성들을 제공하게 되었다. 이 피드백은 Nios 프로세서가 사용이 더욱 간편해지고 더 다양한 임베디드 어플리케이션에 부합할 수 있게 되었다.

Altera's Stratix™ devices, with over 7 Mbits of on-chip memory, make it possible to run an entire real-time operating system (RTOS) and application code from internal memory.

알테라는 피드백을 통하여 개발자가 저가형 SDRAM 메모리에 더욱 빠른 메모리 액세스를 갖고, 더 우수한 소프트웨어 개발 및 디버깅 툴과 제품 업데이트를 좀 더 빨리 제공 받으며, 새로운 IP(intellectual property) 핵심, 향상된 타이머 기능 그리고 더 빠른 부동 소수점 수학 연산(faster floating-point mathematical operation) 등을 필요로 한다는 것을 분명히 알게 되었다. 알테라는 이런 많은 특성들을 3.0 버전에 포함시켰으며 차후의 향상에 대한 신속한 공급을 위하여 인터넷-기반의 공급 방식을 제공하게 되었다.

적합한 메모리 선택

개발자들은 FPGA 내부 메모리 블록으로부터 코드를 실행할 때 항상 최상의 시스템 성능을 얻을 수 있다. 7 M비트이상의 온-칩 메모리를 가진 알테라의 Stratix 디바이스는 내부 메모리로부터 전체적인 RTOS(real-time operating system)와 어플리케이션 코드를 동작시키는 것을 가능하게 하였다. 이런 방식은 성능의 이점을 제공하기는 하지만 프로그램 및 데이터 저장을 위하여 내부 메모리를 사용하는 것은 경제적인 측면에서 대체로 실용적이지 않다. 시스템 설계자는 비록 SDRAM 디바이스의 속성인 대기시간(latency)이라는 대가를 치르긴 하지만 낮은 비용과 높은 용량 이점을 위하여 일반적으로 외부 SDRAM을 선택한다.

새롭게 최적화된 SDRAM 컨트롤러

Nios 프로세서 3.0 버전에 포함된 새로운 SDRAM 컨트롤러는 적은 FPGA 자원을 유지하면서 SDR(single data rate) SDRAM 디바이스에 대한 효율적인 액세스를 제공하도록 최적화되어 있다. Nios 프로세서와 관련 주변 장치를 연결하는 Avalon™ 스위치 패브릭의 향상은 파이프라인 된 데이터 전송을 제공하며 posted read와 posted write 동작을 가능하게 하여 대기시간(latency) 영향을 최소화한다. 컨피규레이션 가능한 새로운 온-칩 캐시와 더불어 설계자는 100 MHz 이상의 속도에서 SDRAM에 대한 단일-사이클 액세스를 얻을 수 있으며 시스템 성능을 획기적으로 증가시킬 수 있다.

새로운 온-칩 인스트럭션 및 데이터 캐시

Nios 프로세서 3.0 버전은 새로운 인스트럭션 및 데이터 캐시를 통하여 SDRAM에 대한 빠르고 지속적인 액세스를 제공한다. 현재 공급 가능한 FPGA 프로세서 솔루션 중에서 온-칩 캐시는 Stratix 및 Cyclone™ 디바이스의 대형 듀얼-포트 RAM 블록이 있기 때문에 가능한 알테라만의 자랑이다. 설계자들은 깊이가 1부터 16KB까지 캐시 버퍼를 컨피규레이션할 수 있어 어플리케이션의 요건에 맞게 크기를 조정할 수 있다.

Direct-mapped 인스트럭션 캐시와 write-through 데이터 캐시는 로직 엘리먼트(LE: logic element) 사용을 최소화하면서 효율적인 성능 증대를 제공한다. 고속 네트워킹 장비에서부터 가격에 민감한 컨슈머 제품에 이르기까지의 다양한 어플리케이션에서 SDRAM 컨트롤러와 온-칩 캐시는 유용하다. 예를 들어, 자동차 전자기기 개발자들은 새로운 SDRAM 컨트롤러에 그래픽 데이터를 저장한다. 그러면 FPGA 패브릭내에 있는 고속 이미지 프로세싱 엔진이 이 데이터를 처리한다. 이것은 설계자가 하드웨어상에서 고속 데이터 프로세싱을 하기 위하여 FPGA내의 커스텀 로직을 사용하는 많은 어플리케이션의 전형적인 예이다. 새로운 SDRAM 컨트롤러와 온-칩 캐시의 결합은 목표한 시스템 성능을 얻는데 필요한 데이터 전송 속도를 제공한다.

신속한 소프트웨어 개발을 위한 툴

Nios 개발 키트는 업계 표준의 GNUPro Toolkit에 기초한 컴파일러와 디버거를 포함하고 있다. GNU 디버거(GDB)와 Insight GUI(graphical user interface)는 대상 시스템에서 동작하는 소프트웨어(debugging “stub”)에 의존하는 강력한 소프트웨어 디버깅 툴 세트를 제공한다. 이 방식은 대부분의 어플리케이션을 디버깅하는 데에 유용한 반면 구동하는 동안 디버깅 시 일부 남아 있는 동작들이 시스템의 동작을 방해하는 속성 때문에 실시간으로 코드를 디버깅하는 데에는 효율적인 솔루션이 아니다

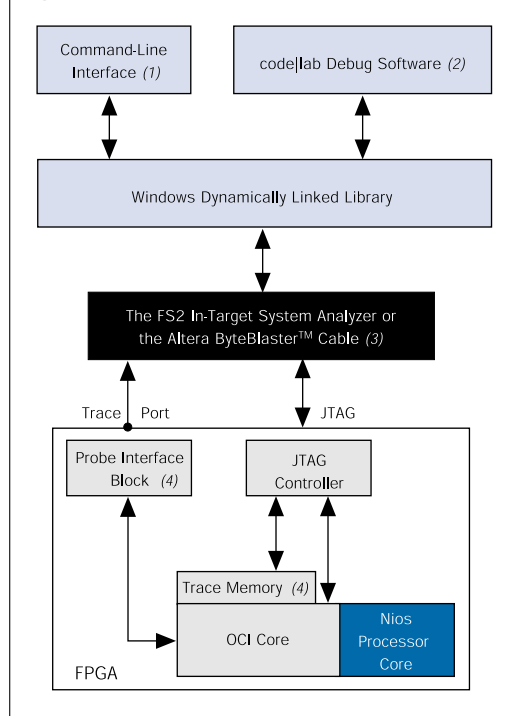
Nios 프로세서 3.0 버전은 FS2로부터 새로운 JTAG-기반의 OCI(on-chip instrumentation) 모듈을 통하여 실시간 코드 디버깅 기능을 제공한다. 이 온-칩 디버깅 툴은 디버깅 소프트웨어를 대상 시스템에서 구동할 필요가 없게 해준다. 대신에 그것은 FPGA의 JTAG 포트를 통하여 입력된 명령어(command)에 기반하여 하드웨어 상에서 프로세서 활동을 직접 모니터링하고 컨트롤한다. OCI 코어는 알테라의 ByteBlasterMV™ 다운로드 케이블에 의하여 지원되며 소프트웨어 다운로드, 동작 컨트롤, 메모리 검사, 수정, 그리고 소프트웨어 breakpoint와 같은 디버깅에 편리한 가장 필수적인 기능들을 제공한다.

하드웨어 breakpoint와 프로세서 트레이스 같은 보다 높은 수준의 디버깅 요건을 위하여 Mentor Graphics® 코퍼레이션 산하 임베디드 시스템 본부인 Accelerated Technology사와 FS2사에서 2종의 개발 키트가 각각 공급되고 있다. 이 제품은 baseline Nios 프로세서 디버깅 기능을 확장한 것이며 강력한 소프트웨어 개발 환경을 구축한다. 그림 1은 Nios 개발 키트에서 공급되는 디버깅 지원의 서로 다른 레벨을 보여 주고 있다.

다음 제품은 Mentor Graphics사와 FS2사로 부터 구입 가능하다.

- ISA-NIOS (7000달러) : Accelerated Technology사의 code|lab EDE 디버그 소프트웨어와 FS2사의 디버깅 하드웨어를 포함하고 있다. 이 하드웨어/소프트웨어 키트는 하드웨어 breakpoint 및 온-칩 프로그램 트레이스 지원과 강력한 개발 환경 및 소스-레벨의 디버거와 결합한 것이다.
- ISA-NIOS/T (9000달러) : ISA-NIOS와 같은 기능을 갖고 있으며 그 외에 심화된 트레이스 캡처를 위하여 FS2사의 디버거 하드웨어에 외부 트레이스 버퍼를 갖고 있다.

Figure 1. FS2's ISA & OCI Core



Notes to Figure 1:

- (1) Command-line interface included in the Nios development kits.
- (2) Evaluation version included in the Nios development kits.
- (3) FS2 ISA sold separately. The ByteBlaster cable does not support trace or hardware breakpoints.
- (4) Probe interface and on-chip trace memory are optional and are only supported with the FS2's ISA product for use with the Nios processor.

신속한 제품 업데이트

Nios 개발자들은 최신의 주변 장치와 인터페이스, 커스텀 인스트럭션, 하드웨어 가속화 유닛, 소프트웨어, 자료 및 참조 설계를 항상 필요로 하고 있다. 과거에는 일년에 수 차례 Nios 프로세서 업데이트에서 이러한 새로운 기능들이 공급되었다. 현재 Nios 프로세서 3.0 버전에 포함된 SOPC Builder 개발 툴 2.8 버전에서는 알테라의 업데이트 서버를 검색하여 새로운 요소나 커스텀 인스트럭션, 하드웨어 가속기(accelerator), 자료, 그리고 소프트웨어가 다운로드 가능할 때 개발자에게 알려준다.

The Nios processor version 3.0 provides real-time code debugging capabilities with the new JTAG-based, on-chip instrumentation (OCI) module from FS2.

6페이지에 계속

5페이지에서 계속

다음과 같은 여러 가지 새로운 요소들이 2003년 2 사분기에 공급될 것이다:

- **Streaming Parallel Output** : 컨피규레이션 가능한 이 출력 포트는 CPU에서 필요로 하는 최소한의 간섭(intervention)으로 디지털 데이터의 연속적이고 클럭 주기를 기준으로 정확한 출력을 제공한다. 그것은 주기적이며 이벤트에 의하여 구동되는 “time scripted” 모드로 동작한다.
- **Pulse Width Modulator** : 이 모듈레이터는 연속적이고 클럭 주기를 기준으로 정확한 pulse-width 모듈레이트 된 신호를 발생하도록 Nios CPU나 스트리밍 패러렐 출력 주변 장치의 출력에 직접 연결될 수 있다.
- **One-Bit Digital-to-Analog Converter (DAC)** : 이 1-비트 DAC는 연속적이고 클럭 주기를 기준으로 정확한 DAC 신호를 발생하도록 Nios CPU나 혹은 스트리밍 패러렐 출력 주변 장치의 출력에 직접 연결될 수 있다.
- **Input Capture/Event Counter** : 이 컨피규레이션 가능한 입력 포트는 최소한의 CPU 간섭으로 로직 이벤트의 연속적이고 클럭 주기를 기준으로 정확한 time-stamping 제공한다.
- **Floating Point Custom Instruction** : 이 작은 풋프린트의 커스텀 인스트럭션은 산술-집약적인 소프트웨어 루틴을 가속화하도록 부동점 곱셈과 덧셈 그리고 뺄셈 연산을 제공한다.
- **Nucleus PLUS RTOS 소프트웨어 요소** : 이 소프트웨어 요소는 시스템 생성동안 설계자의 시스템 컨피규레이션에 적합한 ATI Nucleus PLUS RTOS kernel을 자동 생성한다.

새로운 Stratix 개발 키트

Nios 개발 키트, Stratix 에디션에서 Nios 프로세서 3.0 버전이 제공된다. 알테라의 공식 대리점을 통하여 995달러에 공급되는 이 키트에 포함되어 있는 Stratix EP1S10 개발 보드에서 설계자는 Nios-기반의 설계를 개발하는 데에 필요한 모든 것을 이용할 수 있다. ICMP, TCP, UDP, IP, ARP 및 조작이 가해지지 않은 이더넷 프로토콜(raw Ethernet protocols)에 대한 지원을 제공하는 알테라의 네트워크 프로토콜 소프트웨어 라이브러리와 함께 EP1S10 보드의 10/100 이더넷 포트에 대한 지원이 포함되어 있다.

또한 Stratix 개발 키트에는 다음과 같은 여러 툴의 평가 버전들이 포함되어 있다.

- **code|lab Debug** : Accelerated Technology사의 code|lab 디버깅 소프트웨어의 30일 평가버전으로 소프트웨어 엔지니어들은 그들의 소프트웨어를 디버깅할 수 있으며 알테라의 ByteBlaster 다운로드 케이블이나 FS2사의 In-System Analyzer를 통하여 대상 시스템에 연결된다.
- **Nucleus Plus LV** : 로열티가 없고 소스가 제공되는 RTOS의 평가 버전은 제한된 시간에 소프트웨어는 개발자가 임베디드 어플리케이션을 생성하고 Stratix 개발 보드에서 그들을 구동할 수 있게 해준다.
- **IAR visualSTATE** : 이 탁월한 소프트웨어 설계 툴의 평가 버전은 Nios 개발자들이 그래픽 사용자 인터페이스 내에서 만들어진 state machine 모델로부터 C/C++코드를 자동으로 생성할 수 있도록 해준다.

Nios 프로세서로 차기 설계에 대하여 Future-Proof 가능

개발자가 Nios 프로세서를 선택하는 가장 주된 장점 중의 하나는 제품의 단종이 없다는 점이다. 과거 많은 설계자들은 그들의 프로세서가 갑자기 단종됨으로써 문제에 직면하였다. 그것은 단지 하드웨어의 재설계뿐만 아니라 그들의 소프트웨어에 대하여 리스크를 초래하며 잠재적으로 전체 소프트웨어를 다시 구현해야 하는 경우도 있었다.

Nios 프로세서와 관련 주변 장치들은 로열티가 없으며 영구적인 라이선스를 제공하므로 개발자들은 알테라의 디바이스에서 무제한적으로 Nios 설계를 개발할 수 있는 권리를 갖게 된다. Nios 프로세서는 소프트 코어 프로세서이므로 고성능 Stratix 디바이스에서부터 저가형 Cyclone 디바이스에 이르기까지 다양한 알테라의 FPGA를 대상으로 컴파일될 수 있다.

향후 계획

Nios 프로세서가 많은 호응을 얻고 있음에 따라 알테라는 FPGA-기반의 프로세서 테크놀러지에 관한 Nios 프로세서의 리더쉽을 더욱 공고히 하기 위하여 톨과 IP 그리고 소프트웨어를 지속적으로 개발하고 있다. Nios 프로세서 3.0 버전이 현재 공급되고 있으며 Nios 설계 커뮤니티에서 가장 필요로 하는 요건을 강화하였다.

One of the most compelling reasons why developers choose the Nios processor is avoiding product obsolescence.

Nios 임베디드 프로세서, 프로그래머블 로직, IP 및 SOPC Builder 툴을 사용하여 커스텀 마이크로컨트롤러 구현하기

마이크로컨트롤러는 원래 “시스템-온-칩”(SOC) 디바이스이다. 지난 몇 년 동안 프로그래머블 로직 제조 회사들은 프로그래머블 로직을 이용하여 마이크로컨트롤러를 포함하는 커스텀 하드웨어를 구축하는 이른바 “시스템-온-어-프로그래머블-칩”(SOPC)의 용어를 선보였다. 이를 위하여 필요한 요소들은 다음과 같다. 완전한 기능을 갖춘 32-비트의 RISC 마이크로프로세서, 커스텀 주변기기를 구축할 주변 장치와 옵션들, IP(intellectual property), 그리고 완벽한 개발 툴. 이러한 요소들은 현재 공급 가능하며 설계자들은 저가형 Cyclone™ FPGA와 함께 이들을 이용하여, 마이크로컨트롤러에 대한 이상적인 대안을 구현할 수 있게 되었다.

마이크로프로세서 시스템을 FPGA에 구축하여, 마이크로프로세서로부터 설계자는 “싱글 커스텀 인스트럭션”으로 불리는 하드웨어로서 특정 소프트웨어 블록을 코딩 할 수 있다. 소프트웨어 엔지니어들의 입장에서 보면 이것은 C 혹은 어셈블리어의 기능 명칭일 뿐이지만, 단순히 인스트럭션 세트라고 하기 보다는 하드웨어가 알고리즘을 수행하는데 사용된다.

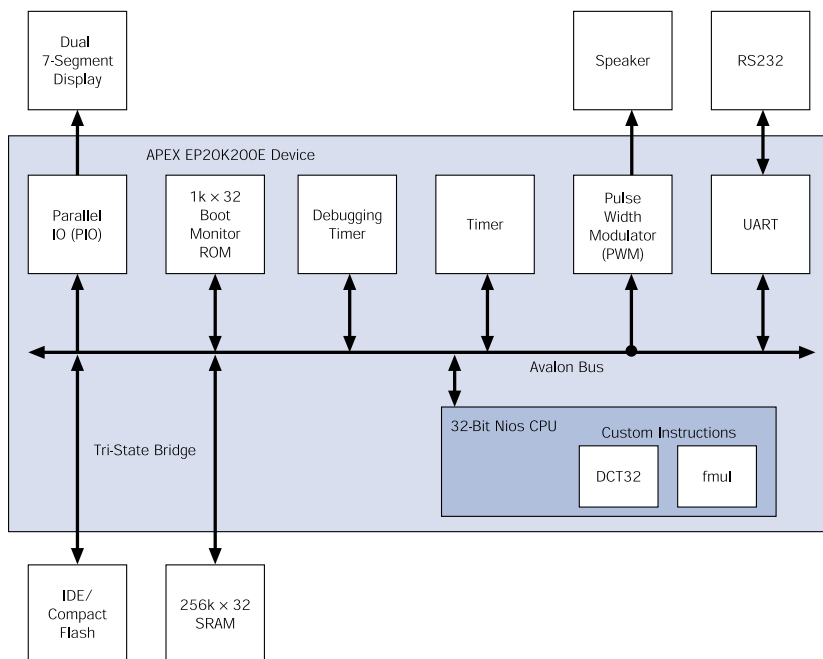
이와 유사한 방식으로 설계자는 멀티 마스터 버스나 커스텀 주변 장치 혹은 DMA(direct memory access) 컨트롤러에서 다수의 arbitrated slave-peripheral를 추가하는 등 문제점에 대응하도록 시스템의 아키텍처를 변경할 수 있다. 이 글에서는 커스텀 인스트럭션을 사용하여 최적화된 MP3 플레이어의 예와 성능 값을 보여준다

예 : MP3 플레이어

커스텀 인스트럭션은 커스텀 로직을 Nios 프로세서의 ALU(Arithmetic Logic Unit)에 추가함으로써 시스템 성능을 증대할 수 있다. MP3 플레이어 설계는 실제 컴퓨팅-집약적인 어플리케이션에서 커스텀 인스트럭션을 사용하여 얻을 수 있는 성능 향상을 보여 주도록 만들어졌다. 두 개의 커스텀 인스트럭션을 추가함으로써, 이 설계는 대략 3 배 가량 시스템 성능을 증가할 수 있었다. 그림 1은 MP3 시스템 설계 블록 다이어그램이다.

8페이지에 계속

Figure 1. MP3 System Design Diagram



7페이지에서 계속

MP3 디코더

많은 MP3 플레이어에서 프로세서는 컨트롤 기능과 데이터 이동에 사용된다. 특화된 MP3 디코더 ASIC은 컴퓨팅 집약적인 디코딩을 하고 데이터를 사운드 기기로 송신하는 데에 사용된다¹. 알테라의 설계 예에서 Nios 프로세서는 컨트롤 시그널과 데이터 전송, MP3 디코딩 등의 일을 담당한다.

일반적으로 알테라의 MP3 디코더는 다음과 같은 일을 한다:

- IDE 인터페이스를 통하여 CompactFlash 컨트롤러로부터 MP3 데이터를 입력 받는다.
- MP3 데이터를 SRAM에 버퍼링한다.
- MP3 데이터를 디코딩한다.
- MP3 서브밴드를 PCM(Pulse Code Modulation) 데이터로 합성한다.
- PCM 데이터를 PWM(Pulse Width Modulator)으로 보낸다.

MP3 디코딩을 위하여 다음과 같은 특성 때문에 이 플레이어는 MAD(MPEG Audio Decoder)를 사용하였다.

- 100% 고정점(정수) 계산
- 웹에서 소스-코드로서 이용가능
- GNU GPL(General Public License)의 조건하에서 분배됨

소스-코드에서 보이는 기능에 대한 참조가 이 글에서 사용될 것이다.

커스텀 인스트럭션

MP3 디코딩에 대한 실행 시간의 대부분은 서브밴드의 합성에서 발생한다. 그러므로 알테라의 MP3 설계는 mad_synth_frame 이라고 하는 기능에 초점을 두었는데 이는 커스텀 인스트럭션 f_mul과 DCT32를 사용하여 최적화될 수 있는 두 가지 기능을 포함하고 있다.

f_mul

f_mul과 mad_f_mul은 정수 곱셈을 사용하여 부동점 곱셈을 에뮬레이션 하도록 MAD에 의하여 사용되는 매크로이다. 이 매크로는 다음과 같이 정의된다:

```
#define mad_f_mul(x, y)
    (((x) + 0x00002000L)>> 14) x
    (((y) + 0x00002000L)>> 14))
#define f_mul(x,y) (((x) | 0x0001FFFFL) x
    ((y) | 0x0001FFFFL))
```

이 기능들은 shift, add, multiply 그리고 논리 OR 연산 세트이며 이들은 쉽게 하드웨어로 구현된다. 알테라의 MP3 설계는 f_mul이라고 하는 하드웨어 커스텀 인스트럭션을 사용하며 이는 앞서 언급한 소프트웨어 매크로를 실행한다. Prefix 옵션을 이용하여 이 설계는 두 매크로 모두 하나의 커스텀 인스트럭션에 포함시킬 수 있었다. 아래의 코드는 알테라의 커스텀 인스트럭션을 사용하여 f_mul 및 mad_f_mul을 정의하는데 사용된 것이다:

```
#define f_mul(x,y) nm_fmulo((x), (y))
#define mad_f_mul(x,y) nm_fmulo_pfx
    (1, (x), (y))
```

DCT32

DCT32는 MP3 디코더에서 DCT(discrete cosine transform)를 실행한다. MAD 소프트웨어는 최적화된 DCT를 사용하여 성능을 증가시킨다. 표준 DCT 등식이 1024개의 곱셈을 요하는 데 반하여 이 최적화된 알고리즘은 오직 80개의 곱셈만을 이용하기 때문에 소프트웨어 측면에서 볼 때 일반 DCT에 비하여 획기적인 성능 증대를 제공한다.

DCT32 커스텀 인스트럭션에 사용되는 하드웨어는 재컨피규레이션 가능한 컴퓨팅 솔루션의 공급자인 Celoxia²사에서 그들의 Handel-C-기반의 설계들과 함께 공급하고 있다. 알테라의 DCT32 커스텀 인스트럭션은 다음과 같은 특성을 갖도록 설계되었다.

- 32개의 입력과 32개의 출력을 저장
- DCT 계산동안, CPU와 독립적으로 동작
- prefix 인스트럭션을 사용하여 명령 수신:
 - Load/unload
 - Start DCT calculation
 - Poll if complete

커스텀 인스트럭션이 호출 될 수 있기 때문에 다른 코드는 DCT 출력이 필요할 때까지 병렬로 동작할 수 있다. 그 때에 계산이 완료되었는지 여부를 알 수 있도록 커스텀 인스트럭션이 호출된다. 만약 완료되었다면 Nios 프로세서는 다음 그룹의 입력을 로딩하는 한편 출력 데이터를 unload한다. 그림 2는 어떻게 설계자가 DCT32 커스텀 인스트럭션을 사용할 수 있는지를 예시화하여 보여 주는 다이어그램이다.

MP3 예 : 성능과 크기 비교³

알테라는 커스텀 인스트럭션 `f_mul`과 DCT32과 함께 하드웨어 곱셈 인스트럭션을 사용하여 싱글 `mad_synth_frame` 기능을 완성하는데 필요한 사이클의 수를 측정하였다. 일반적으로 커스텀 인스트럭션에 로직 엘리먼트(LEs)와 메모리 같은 추

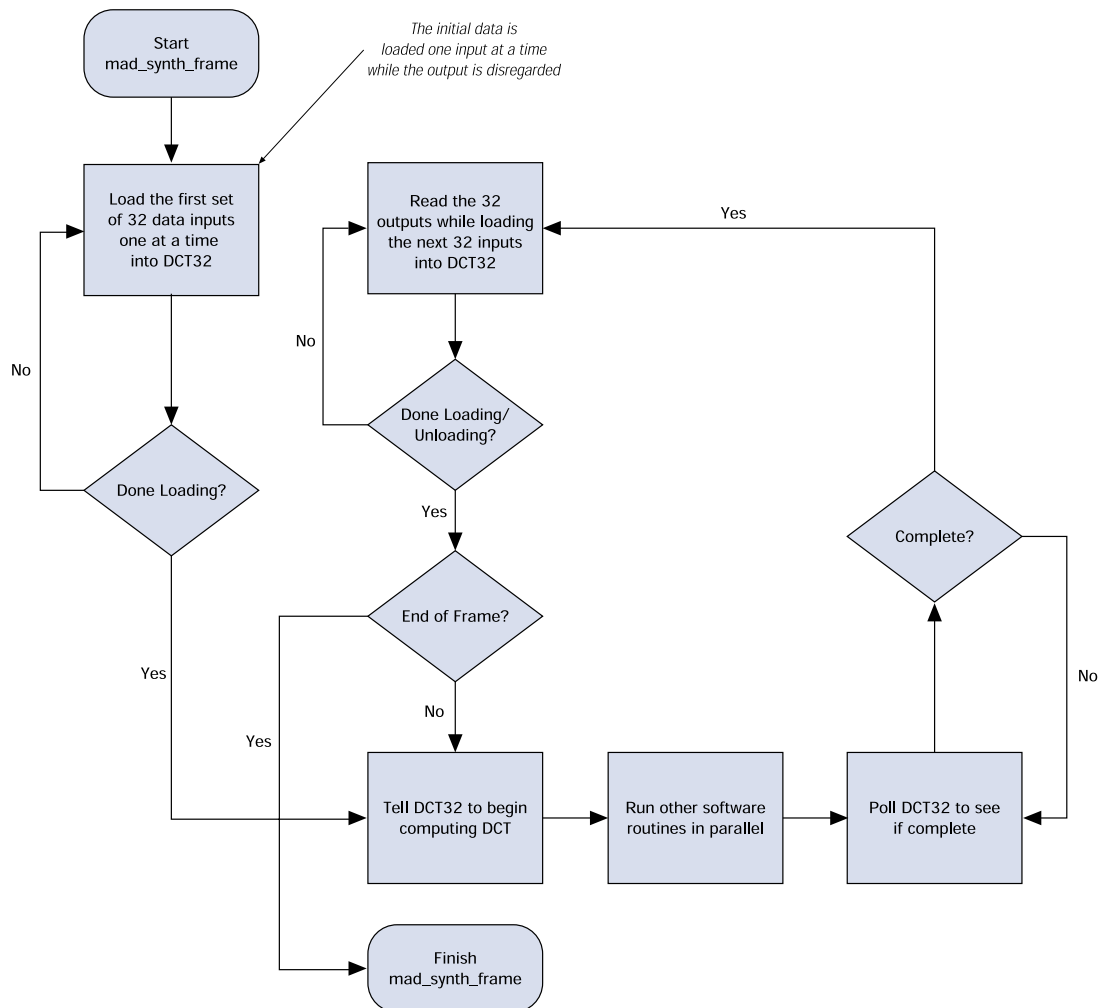
가적인 하드웨어 요소가 요구되듯이, 제품의 성능을 향상시키기 위해서는 추가적인 비용이 든다. 표1은 `mad_synth_frame` 기능을 사용하는 세 가지 설계 예에서 필요로 하는 하드웨어 요건과 결과를 보여 주고 있다.

Table 1. Number of Cycles to Compute a MP3 Frame

Hardware Used	Number of Cycles	Logic Elements	Memory (Bits)
Hardware multiply only	1,279,000	3,542	26,624
<code>f_mul</code>	293,000	3,642	26,624
<code>f_mul</code> and DCT32 parallel	231,600	4,331	30,528

10페이지에 계속

Figure 2. DCT32 & mad_synth_frame Software Flow Diagram



9페이지에서 계속

f_mul은 시스템 크기는 3 퍼센트 증가하면서 77 퍼센트만큼 필요한 사이클의 수를 줄여 주는 가장 효율적인 커스텀 인스트럭션이다. 이 크기의 증가는 f_mul 커스텀 인스트럭션에 편에서 전용 하드웨어 곱셈기를 제거하기 때문이다.

DCT32 인스트럭션은 병렬 모드로 동작하고 f_mul과 비교할 때 21퍼센트 정도 필요한 사이클의 수를 줄여 주며, f_mul 설계의 18.9 퍼센트의 LE 자원을 사용한다.

mad_synth_frame을 실행하기 위하여 필요한 사이클의 수가 80 퍼센트이상 줄어드는 한편 시스템 크기는 단지 22.3 퍼센트만 증대된다. 이 예는 Nios 개발 보드에서 33MHz로 실행되며 클럭 주파수를 증가하지 않고 전체 성능을 향상시킬 수 있다. 만약 높은 성능이 필요하다면, 설계자는 클럭 주파수를 증대한다던가 더 빠른 메모리를 사용하고 혹은 인스트럭션이나 데이터 캐시를 추가하는 등 다른 옵션들을 선택할 수 있다.

결론

FPGA 마이크로 컨트롤러의 사용은 시스템 성능을 증대하기 위한 선택의 폭을 확장하여 준다. 모든 톨의 경우에서처럼, 성능 목표가 어떤 속도를 가질 지를 결정해주는 것은 이러한 톨들의 숙련된 응용이다. 마이크로 컨트롤러에 대하여 FPGA를 사용하는 이점은 소프트웨어와 하드웨어 개발의 단점을 뛰어넘어 수분 이내에 반복적인 방식으로 새로운 설계에 대한 시도가 이루어 질 수 있다는 점이다.

참조

- 1 The Beginner's Guide to Making a Hardware MP3 Player Version 2.0
- 2 Celoxica, Ltd., 20 Park Gate, Milton Park, Abingdon Oxfordshire, OX14 4SH United Kingdom
- 3 AN 188: Customer Instructions for the Nios Embedded Processor

Nios 관련 뉴스

알테라의 Trojan Horse

2003년 2월 17일 Electronic News에서 발췌

Nios[®] 제품의 품질은 당초 기대 이상이였으며 지금까지 1만개 이상의 라이선스가 판매되었다. Forward Concepts사의 수석 분석가인 Cary Snyder씨는 소프트웨어 프로세서를 사용하는 임베디드 어플리케이션의 수가 더욱 증가할 것이라고 전망하였다. “알테라조차 사용자의 수를 정확히 알 수 있다고 생각하지 않습니다. 다시 말해서 주어진 칩에 여러 번 사용을 할 수도 있습니다. 어떤 경우에는 하나의 칩에 여러 부분에서 사용이 가능하니까요. 만약 귀하가 설계 유연성을 원한다면-이것이 일반적으로 FPGA를 사용하는 이유이겠지만- Nios를 사용함으로써 원하는 바를 진정 얻을 수 있을 것입니다.”

Nios 프로세서의 테스트 드라이브가 무료!

알테라의 저가 솔루션이 현재 CD-ROM으로 공급되고 있다. 무료로 Nios 프로세서를 사용해 보고 1만여 개발자가 격찬하는 그 이유를 체험할 수 있다. 저가 솔루션 CD는 Nios 임베디드 프로세서(평가 버전), 완전한 Nios 개발 키트, Quartus[®] II 웹 에디션, SOPC Builder 그리고 관련 자료 등을 담고 있다. 알테라의 저가 솔루션 CD는 www.altera.com/niostestdrive 에서 주문할 수 있다.

Stratix 디바이스로 MAN 어플리케이션에 대한 EoS 가능 (최대 10-Gbps 데이터 속도까지)

Bamdad Afra

수석 엔지니어/GEOS Chief Architect

Nuvation Engineering

MAN(Metropolitan Area Network)에서 이더넷 트래픽에 대한 수요가 증가하고 있다. 그들의 인프라가 패킷-스위치된 트래픽(예:이더넷)에 적합하지 않기 때문에 서비스 제공 회사들은 현재 이 서비스 기능을 제공하기 위하여 고군분투하고 있다. 최근 수년간, 이러한 서비스 제공 회사들은 음성과 private-line 망을 제공하기 위하여 TDM(Time-domain multiplexing) 인프라(예: circuit-switched oriented SONET)를 구축하기 위하여 막대한 자본을 투자하였다.

이더넷 서비스를 제공에 관한 가장 가격-효율적인 솔루션은 기존 인프라를 통하여 이미 투자되어 있는 자본을 활용하여 전송하는 것이다-즉 SONET(circuit-switched) 장비를 통하여 이더넷 트래픽(패킷-스위치된)을 전송하는 것이다.

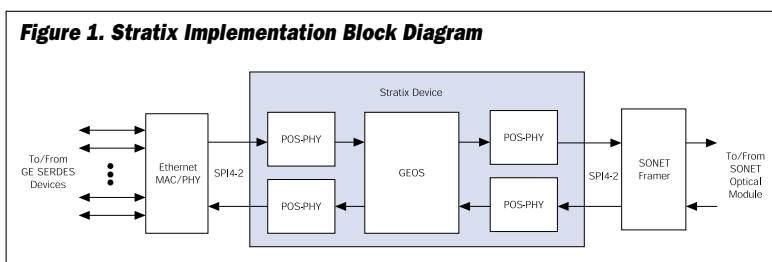
예를 들어 EoS(Ethernet-over SONET) 장비의 경우를 생각해 보자. 이 경우, EoS 장비는 SONET 링으로 연결하여 최대 10 포트의 기가비트 이더넷 트래픽을 전송하도록 요구된다. 최적의 솔루션은 모든 기가 비트 이더넷 포트를 하나의 10-Gbps(gigabit per second) SONET 파이프(예 OC-192)로 트래픽을 집합시키는 것이다. 목적지에서 트래픽을 de-multiplex하기 위하여 이런 트래픽 집합은 모든 EoS 장비가 GFP(Generic Framing Procedure)와 같은 표준 프로토콜을 채택하도록 한다.

그와 같은 장비를 설계하기 위하여 많은 시스템 컴포넌트를 선택해야 할 것이다. 주요 시스템 컴포넌트는 다음과 같다:

- 기가 비트 이더넷 포트를 위한 SERDES(Serializer/Deserializer) 기기
- 이더넷 트래픽을 취급하기 위한 MAC/PHY 기기
- 트래픽 집합 및 GFP 프로토콜 구현을 위한 기기
- SONET 프레임어(framer)
- SONET 광 모듈

SERDES, MAC/PHY, SONET 프레임어 및 SONET 광 모듈은 인텔이나 PMC 시에라와 같은 잘 알려진 많은 회사에서 제공되고 있다. 설계자는 FPGA에서 GFP 프로토콜을 구현할 수 있다(GFP 프로토콜은 MAC와 SONET 프레임어를 인터페이스하는 데 필요하다.) 알테라의 Stratix[®] FPGA는 그림 1에서 보는 바와 같이 트래픽 집합과 GFP 프로토콜 구현을 취급할 수 있다.

Figure 1. Stratix Implementation Block Diagram



Stratix 디바이스는 OIF(Optical Internetworking Forum)의 인터페이스 사양인 SPI4.2 을 사용하여 MAC/PHY 및 SONET 프레임어 기기와 인터페이스한다. 이 인터페이스는 최대 400MHz의 클럭 속도로 16-비트 DDR(double data rate)을 사용하며 10-Gbps의 데이터 속도를 취급할 수 있게 해준다.

Stratix 디바이스의 내부 요소들은 사용이 간편한 알테라의 메가펄션(megafunction)을 통하여 쉽게 액세스 될 수 있다. 귀하는 두 가지 유형의 IP(intellectual property) 코어를 사용하여 Stratix 디바이스를 구현할 수 있다: POS-PHY Level 4 와 GEOS가 그것이다. Stratix 디바이스에 어플리케이션 특화된 구현을 위하여 POS PHY Level 4 IP 코어는 SPI4.2 버스에 대한 인터페이스를 갖고 있다. GEOS IP 코어는 트래픽 집합과 함께 GFP 프로토콜을 구현한다. 더욱이 GEOS는 full-duplex pause 플로우 컨트롤과 SONET을 통한 이더넷 점보 프레임 전송과 같은 특성을 구현한다.

POS-PHY Level 4 IP 코어는 알테라에서 공급되며 GEOS IP 코어는 Nuvation사에서 공급된다.

Nuvation사에 관한 더 자세한 정보는 www.nuvation.com을 방문하기 바란다.

Company:
Nuvation
Engineering

Industry:
Electronic Design
Services

End Product:
FPGA Design
Firmware

Altera Products:
Stratix Devices

Dini 그룹, 메모리-집약적인 혹은 DSP-집중된 어플리케이션에 이상적인 Stratix FPGA-기반의 로직 에뮬레이션 제품 발표

Mike Dini

사장

The Dini Group

Company:

The Dini Group

Industry:

Consulting Design Services

End Product:

Logic Emulation
Algorithm
Acceleration
Reconfigurable
Computing

Altera Products:

Stratix Devices
APEX II Devices

ASIC 마스크 비용이 거의 1백만 달러가 넘기 때문에, 설계자는 로직 설계의 검증에 그 어느 때보다도 더 많은 주의를 기울이지 않을 수 없다. 마스크하기 전에 로직을 FPGA에 프로토타이핑 하는 것은 1차적인 성공을 보장하는 좋은 방법이다. 또한 설계를 프로토타이핑 하는 것은 시뮬레이션 테스트 설비에서 실수나 오류를 발견하는 데 도움을 준다. 더욱이 하드웨어 프로토타입이 MHz대의 주파수에서 클럭 될 수 있기 때문에, 수십억(혹은 수조)의 테스트 벡터들이 있을 수 있다. 이러한 이슈들을 염두에 두고 Dini 그룹은 Stratix™ FPGA를 사용하여 로직 에뮬레이션, 알고리즘 가속화 그리고 재컨피그레이션 가능한 컴퓨팅등에 사용될 수 있는 제품들을 개발하였다.

DN5000k10 에뮬레이션 보드는 2개에서 5개까지의 Stratix EP1S80 FPGA들을 포함하고 있다(그림 1 참조). 블록 다이어그램은 그림 2에서 보는 바와 같다. EP1S80 디바이스는 오늘날 공급되는 가장 큰 FPGA중의 하나로서 79,040개의 플립플롭과 7.4M비트의 임베디드 RAM, 22개의 DSP(digital signal processing) 블록을 갖고 있다. 임베디드 Stratix DSP 블록은 설계자들이 FIR(finite impulse response) 필터나 모듈레이터, correlators 그리고 코더/인코더와 같은 곱셈기-기반의 로직을 구현할 수 있도록 해준다.

각각의 Stratix 디바이스의 많은 양의 임베디드 메모리를 보다 강화하기 위하여 4개의 외부 512k x

36 파이프라인 된/flowthrough/ZBT(zero bus turnaround) SSRAM 디바이스와 128M바이트 x 72 SDRAM 디바이스를 사용하고 있다. 이 보드는 FPGA간의 풍부하고 고정된 인터커넥트 구조를 지원하도록 많은 I/O 카운트를 가진 1,508-핀 FineLine BGA® 패키지를 채택하였다. 두개의 외부 PLL(phase-locked loop) 디바이스에 기초하고 있는 유연한 클럭킹 구조는 각각의 Stratix FPGA에 있는 12개의 PLL과 함께 서로 조화롭게 동작하여 다양한 보드 클럭킹 옵션을 가능하게 해준다.

DN5000k 10 보드는 32-/64-비트 PCI/PCI-X 슬롯에 호스트 될 수 있고 혹은 스탠-얼론 보드로서 사용될 수도 있다. 이 보드는 32-비트 타겟 PCI 인터페이스를 포함하고 있다(Verilog HDL이나 VHDL로). 또한 PCI 타겟 및 드라이버에 대한 소스 코드뿐만 아니라 추가적인 비용 없이 많은 응용 시스템 드라이버를 포함하고 있다.

커스텀 회로에 로직 에뮬레이션 보드를 반드시 인터페이스 하여야 하기 때문에, DN5000k10 보드는 회로 보드의 맨 위에 세 개의 고속 200-핀 커넥터를 갖고 있다. 이 보드에는 커스텀 회로에 대한 복잡한 인터페이스들을 취급하는 총 488개의 시그널이 있다.

FPGA 컨피그레이션은 SmartMedia 카드를 사용하여 실행된다. 사용자는 FlashPath 플로피 어댑터를 통하여 FPGA에 대하여 컨피그레이션 파일을 SmartMedia 카드로 복사하며 또한 DN5000k10 보드에 있는 마이크로프로세서는 컨피그레이션 과정을 컨트롤한다. 이것은 48MHz에서 병렬로 컨피그레이션한다. 마이크로프로세서는 어려울 수도 있는 과정에서의 문제를 가능한 많이 해결하고자 파일에 대한 sanity check를 실행한다. RS232 포트는 컨피그레이션 과정의 상태를 파악하고 수동으로 컨피그레이션 파일을 선택하는데 사용된다. 단일 SmartMedia 카드는 여러 컨피그레이션 파일을 저장할 수 있다. 5개의 EP1S80 디바이스로 전체 DN5000k10 보드를 컨피그레이션하는 데에 5초 미만이 걸린다.

Figure 1. DN5000k10 Logic Emulation Board

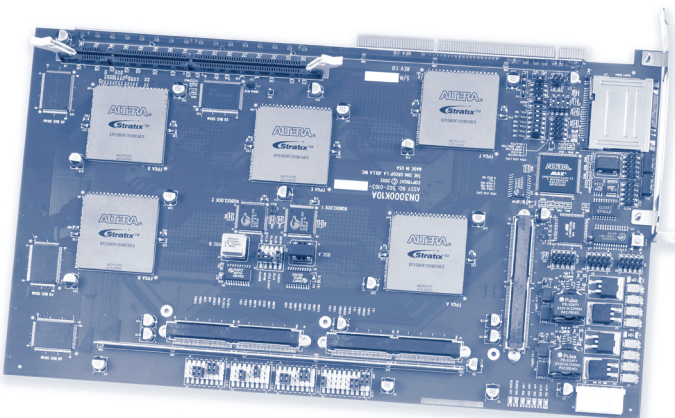
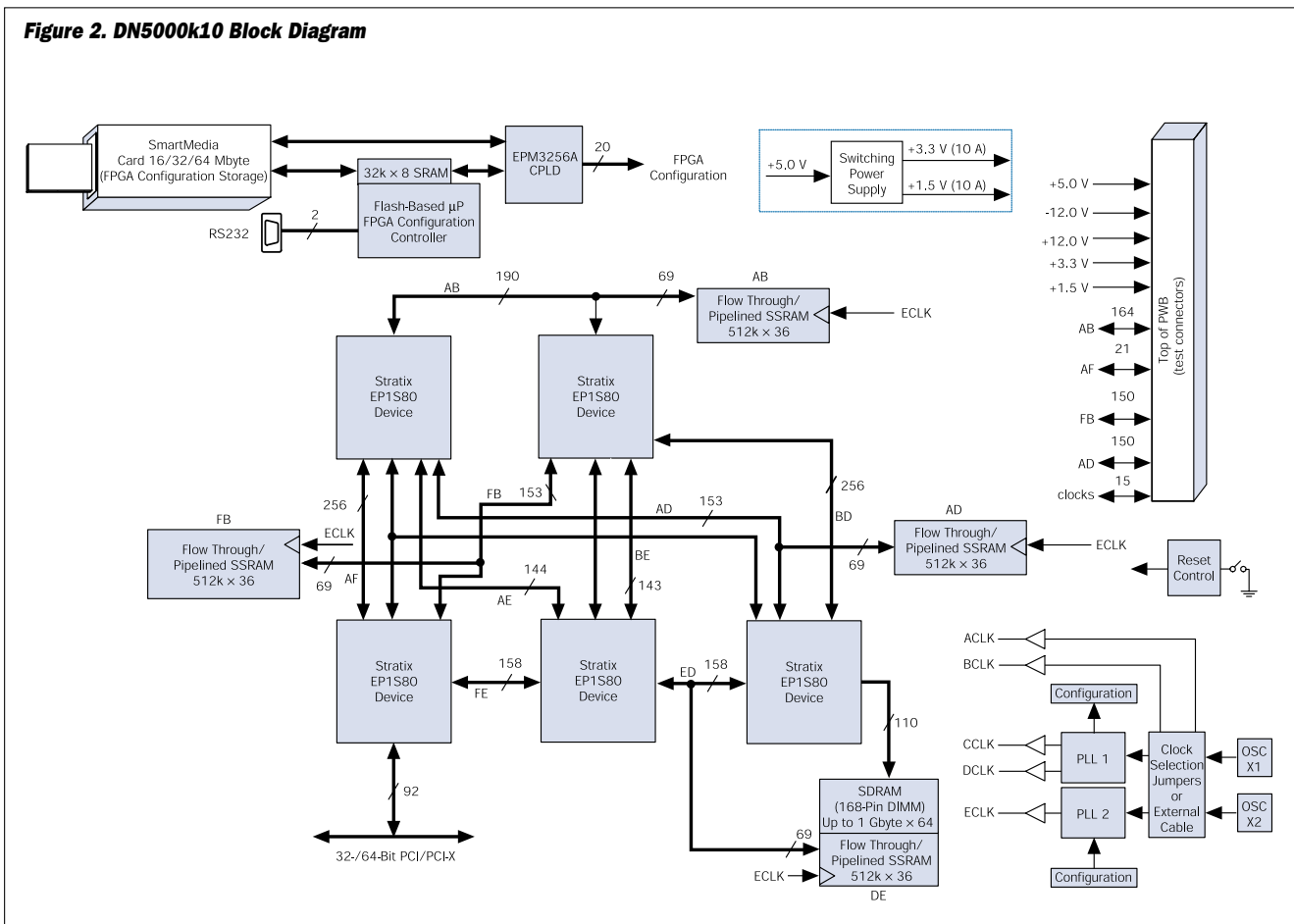


Figure 2. DN5000k10 Block Diagram

DN5000k10 보드는 주문 제작되며 일반적으로 약 1주일 안에 어셈블리, 테스트 및 선적이 완료된다. 하나의 Stratix EP1S80 디바이스를 포함한 DN5000k10 보드 버전도 공급되고 있다. 또한 Dini 그룹은 알테라의 APEX™ II 디바이스에 기반한 에뮬레이션 제품 시리즈를 갖고 있다.

The Dini Group에 관하여

The Dini Group은 미국 캘리포니아 La Jolla에 본사를 두고 있다. Dini 그룹은 로직 에뮬레이션 제

품 공급뿐만 아니라 ASIC이나 FPGA를 사용한 고성능 디지털 회로 설계에 전문성을 갖춘 하드웨어 및 소프트웨어 컨설팅 회사이다. 더 자세한 정보는 www.dinigroup.com에서 얻을 수 있다.

Mike Dini씨는 20여년간 관련 산업에 종사하고 있으며, FPGA와 관련 어플리케이션을 주제로 한 여러 컨퍼런스에 참가하고 있다. 그는 1984년부터 FPGA를 설계하여 왔으며 다수의 설계 작업을 완수하였다.

Stratix FPGA로 실-시간 마이크로프로세서 개발 가능

Nick Klein
로직 제품 개발

UMC사나 TSMC사로 부터의 계약에 의한 웨이퍼 제작과 다양한 라이선스 된 주변 장치 IP(Intellectual property)의 공급으로, 이제 마이크로프로세서 제조 회사는 커스터마이징 된 시스템-온-어-(SOC) 솔루션의 일환으로서 코어를 제공하고 있다.

SOC 개발자가 직면하고 있는 이슈 중의 하나는 그들의 SOC 솔루션을 실리콘 완성 전에 프로토타이핑하고 소프트웨어 개발 플랫폼을 제공하는 일이다. Logic Product Development사는 SuperH, Inc. 사(멀티미디어 RISC CPU 코어의 주 공급사)와 협력하여 모듈러 개발 및 프로토타이핑 플랫폼을 생산한다. 이 솔루션은 적재 가능한 3개의 보드 컨피규레이션인데 CPU 보드와 시스템 보드 그리고 FPGA 보드로 구성되어 있다. CPU 보드와 FPGA 보드는 Stratix™ FPGA를 포함하고 있다.

시스템 보드

시스템 보드는 3개의 보드 컨피규레이션 중 맨 아래에 위치하고 있다. 그것은 일반 PC 마더보드에서 볼 수 있는 주변 장치 및 인터페이스 어레이를 갖고 있다:

- 3.3-V PCI(peripheral component interconnect) 슬롯
- 3개의 5.0-V PCI 슬롯
- PC 카드 연결
- 1x 패러렐, 2x PS2, 2x 시리얼 및 2x IDE 포트를 제공하는 슈퍼 I/O 컨트롤러
- 온-보드 비디오 컨트롤러
- CPU 보드로부터 이더넷 pass-through
- 표준 ATX 파워 서플라이를 사용하는 Micro ATX form factor
- 두 개의 USB(Universal Serial Bus) 1.1 포트(호스트 사이드)

LogicProduct Development사는 PCI arbitration을 취급하고 마이크로프로세서와 PCI 브릿지 사이에 공유되는 SRAM 버퍼에 대한 액세스를 관리하기 위하여 MAX® 3000A(EPM3256A) CPLD를 사용하였다. 다른 MAX 3000A CPLD는 마이크로프로세서 로컬 버스 전환(트랜시버로서 동작하는)에 I²S를 제공하며 저가형 I²S 스테레오 코더/디코더에 대한 연결을 허용한다.

CPU 보드

처음 개발된 CPU 보드는 SuperH사의 SH4-202 평가 기기와 시리얼 포트, 이더넷, SDRAM, 플래시 메모리, Stratix EP1S10 FPGA 및 EPC4 컨피규레이션 디바이스(EP1S10 디바이스를 컨피규레이션하는 데에 사용되는)를 포함하고 있다. 이 주변 장치들은 보드가 스탠-얼론 평가 보드로서 동작하도록 해준다. 또한 설계자는 CPU 보드를 시스템 보드에 연결하여, 주변 장치 추가가 가능하다. SH4-202는 128b-백터 부동점 유닛과 최대 266 MHz의 속도로 동작하는 16K I 및 32K D 캐시를 가진 32-비트 RISC CPU 코어이다. 이 코어는 UMC사의 0.13-마이크론 CMOS 테크놀러지로 생산된 디바이스에서 구현된다. 이 디바이스는 CPU 코어를 주변 장치에 연결하도록 고-대역폭과 낮은 대기시간(latency) 버스를 제공하는 SuperHyway Bus 온-칩 인터커넥트를 포함하고 있다.

CPU 보드에 있는 Stratix EP1S10 FPGA는 전체 시스템을 하나로 연결시켜 준다. 이것은 전체 시스템에 대하여 여러 가지 선택 가능한 주소 맵을 취급하고, 32개의 interrupt 소스에 대하여 프로그래머블 interrupt 컨트롤러와 SH4-202로부터의 FPGA 보드의 프로그래밍하기 위한 인터페이스를 제공하고, 오프-칩 포트 및 FlashEMI SH4-202 인터페이스를 통하여 SuperHyway에 연결한다. “이것은 시스템의 나머지 부분과 SuperH 평가 기기와 인터페이스를 위한 완전한 유연성을 제공하여 줍니다.” 라고 Logic Product Development사의 프로그램 부장인 Jason Sheard씨는 말하였다

FPGA 보드

FPGA 보드는 SOC 커스텀 주변 장치에 대한 고객의 IP 개발을 위하여 설계되었다. 로직과 I/O 자원을 추가하려면 설계자는 CPU 보드 위에 최대 8개의 FPGA 보드를 쌓을 수 있다. 이 수는 오직 파워 서플라이와 커넥터의 전류 용량에 따라 제한이 있을 뿐이다. 이 보드들은 전력 공급을 위하여 CPU 보드에 연결되고 SuperHyway 버스 오프-칩 SH4-202 인터페이스로 액세스된다.

Company:
Logic Product Development

Industry:
Embedded Systems

End Product:
SuperH (SH4-202) Processor Development Platform

Altera Products:
Stratix Devices
Configuration Devices
MAX 3000A Devices

FPGA 보드는 Stratix EP1S40 FPGA, 코어 및 I/O 파워 서플라이, EPC16 컨피규레이션 디바이스, 그리고 다수의 I/O 커넥터들을 포함하고 있다. 보드의 I/O 커넥터들은 차등 신호(differential)와 싱글-엔디드 시그널을 모두 지원하며 선택 가능한 전압 레벨에서 매우 다양한 I/O 표준을 수용한다.

Stratix FPGA는 EPC16 컨피규레이션 디바이스나 JTAG(Joint Test Action Group) 혹은 CPU 보드의 패시브 시리얼을 사용하여 프로그램될 수 있다. 설계자는 각각의 FPGA 보드의 접퍼를 사용하여 뱅크 I/O 전압과 프로그래밍 옵션을 선택할 수 있다.

Stratix 디바이스

EP1S10과 EP1S40 디바이스는 이 설계에서 필요로 하는 많은 로직 엘리먼트(LE: logic element)와 I/O 핀, 속도 그리고 고급 로직 기능들을 제공한다. "SuperH 와 SuperH 코어 사용자는 최대 150MHz의 속도에서 복잡한 로직을 동작하기 위하여 IP 에뮬레이션 FPGA를 필요로 하며 Stratix 디바이스는 이러한 요건에 부응하는, 현재 이용 가능한 최상의 솔루션을 제공합니다. 알테라의 CDC(Certified Design Center)로서 Logic사는 이러한 설계를 구현할 수 있는 툴과 경험을 가지고 있습

니다."라고 Logic Product Development사의 FPGA 설계 엔지니어인 Matt Tilstra씨는 말하였다. FPGA 보드는 현재 Stratix EP1S40 디바이스를 사용하고 있지만 이 보드는 Stratix 제품군중 1,020-핀의 BGA(ball-grid array) 패키지의 어떠한 디바이스와도 호환될 수 있다. 이 범주에는 Stratix EP1S25부터 EP1S60 디바이스까지 포함되며 서로 다른 가격과 FPGA 자원 옵션을 제공하기 때문에 유연성이 증가되었다.

Logic Product Development사에 대하여

Logic Product Development사는 미국 중서부 지역에서 가장 큰 제품 개발 컨설팅 회사이며 지난 40여년 동안 전승 제품 기획에서부터 마켓의 성공에 까지 도움을 제공하고 있다. 목표하는 바와 최종-사용자의 요건의 균형을 맞추므로써 Logic사는 제품이 기획에서부터 완전 양산 단계에 신속하게 진입하도록 포괄적으로 개발 과정을 추진한다. Logic사의 통합된 접근 방식은 제품 개발이 일사 불란하게 진행되도록 이끌어 개발 시간을 단축하고 시장 출 시를 가속화한다.

더 자세한 정보는 www.logicpd.com 이나 1-612-672-9495에 문의하기 바란다.



While the FPGA board currently uses a Stratix EP1S40 device, the board is compatible with any member of the Stratix family in a 1,020-pin ball-grid array (BGA) package.

Plexus사, 알테라의 Excalibur 디바이스를 사용하여 DSP 개발 및 평가 플랫폼 개발

Michael Tendick와 Tim Murphy
Plexus

경쟁이 치열한 DSP(digital signal processing) 시장에서, 타임-투-마켓은 중요하다. Plexus사에게는 최종 고객이 그들의 DSP 어플리케이션을 검증할 수 있는 플랫폼을 개발하는데 6개월의 시간이 주어졌다. 만약 매우 다양한 DSP 인터페이스가 주어진다면 시스템은 서로 다른 통신 프로토콜과 UTOPIA, HDLC, 그리고 PCI(Peripheral Component Interconnect)와 같은 인터페이스를 취급할 수 있을 만큼 충분한 유연성을 갖고 있어야 했다. 이러한 모든 시스템 요건아래서 시스템 아키텍처의 선택은 프로젝트 성공의 열쇠가 될 것이다. 구현 속도를 최대로 하는 한편 "show-stopping" 문제의 위험이 최소화되어야 하였다. 개발 및 운용 플랫폼에 대한 아키텍처를 조사를 거쳐 Plexus사는 알테라의 Excalibur™ 디바이스를 최종 선택하였다.

프로그래머블 로직과 ARM® 프로세서, 메모리 컨트롤러, 그리고 온-보드 SRAM의 결합은 PCB(printed circuit board) 면적의 감소와 개발 시간의 단축으로 이어졌다. 듀얼-포트 RAM은 프로세서와 프로그래머블 로직 섹션간의 이상적인 인터페이스가 되었다. 튠은 병렬 하드웨어 및 소프트웨어 설계를 가능하게 하여 개발을 더욱 빠르게 하였다.

커스텀 Kernel 설계

Excalibur ARM922™ 프로세서는 플랫폼의 동작 조건을 조정하고 PC와 Excalibur 디바이스의 프로그래머블 로직 어레이에 포함된 코어간의 인터페이스를 제공하는데 사용되었다. Plexus사는 단층으로 된 명령어(command) 구조에 구축되어 있는 ARM 프로세서에 동작하도록 커스텀 kernel을 만들었으며 따라서 기존 명령에 영향을 끼치지 않고 언제나 설계자가 새로운 명령어나 명령어 그룹을 첨가할 수 있게 되었다.

명령어(command)의 첫번째 그룹은 여러 온-보드 클럭 속도와 전압을 비롯한 동작 조건을 조정하며 온-보드 온도를 모니터링한다. 명령어의 두번째 그

룹은 FPGA 통신 코어에 대한 개괄적인(abstract) 인터페이스를 제공한다. 이 명령어들은 load transmit buffer가 데이터를 가지고 로딩되고 원하는 인터페이스를 통하여 그 데이터를 전송하고 또 인터페이스를 통하여 데이터를 수신하며 수신 버퍼에 그 데이터를 저장, 데이터를 PC에 출력하는 것을 허용한다. 개발 플랫폼에 대한 PC 인터페이스는 표준 RS232 인터페이스이다. 이것은 모든 표준 PC가 HyperTerminal과 같은 표준 소프트웨어를 사용하여 개발 플랫폼과 인터페이스 하도록 해준다. 이렇게 정립된 명령어 구조를 통하여 Plexus사는 PC에 구현될 수 있는 GUI(graphical user interface)를 구축하였다. GUI는 명령어 구조에 익숙하지 않은 사용자가 플랫폼을 컨트롤할 수 있도록 해준다.

개발 플랫폼은 스크립트와 DSP 부트코드를 갖는 전용 플래시 메모리를 포함하고 있어 DSP 테크놀러지가 사용자 간섭 없이 검증 되도록 해준다. 이 자동화된 테스트는 전송과 수신 신호를 비교하는 kernel 명령어 덕분에 가능한 것이다.

통신 서브시스템 설계

Excalibur 시스템의 나머지 부분은 다양한 통신 인터페이스를 테스트하는데 사용되는 여러 통신 블록들로 구성되어 있다. 이 인터페이스 블록으로는 UTOPIA Level2, McBSP(multi-channel buffered serial port), UHPI(universal host port interface), HDLC, 및 PCI가 있다. UTOPIA, HDLC, 그리고 PCI 블록은 다른 회사의 코어들이다. Plexus사는 UHPI와 McBSP 코어를 개발하였다. ARM 프로세서는 AMBA™ 버스와 듀얼-포트 RAM 모두를 통하여 코어를 거치는 데이터의 흐름을 컨트롤한다. ARM 시스템-레벨의 프로세서 버스인 AMBA는 AMBA 버스에 맞게 설계된 주변 코어가 시스템에 빠르고 쉽게 연결되도록 해준다. 듀얼-포트 RAM은 ARM 코어와 FPGA의 로직간의 메일박스 역할을 한다. ARM 프로세서는 듀얼-포트 RAM의 한 쪽에 대한 액세스를 가지며 FPGA 설계는 다른 쪽에 대한 액세스를 가진다.

..

Company:
Plexus

Industry:
Electronic
Manufacturing
Services

End Product:
Product Realization
Services

Altera Products:
Excalibur Devices

불행하게도, 코어는 AMBA 인터페이스를 가지고 있지 않으며 그리하여 Plexus사의 주된 임무는 코어의 백-엔드 인터페이스를 커스터마이징하여 ARM 프로세서와 교신이 되도록 하는 것이었다. 레지스터 블록은 AMBA를 따르도록 설계되었으며 이는 각각의 코어의 컨피규레이션 레지스터를 액세스할 수 있도록 해준다. 듀얼-포트 RAM은 ARM 프로세서와 코어 사이에 데이터를 전달하는데 사용되었다. ARM 프로세서는 액세스를 설정하는 데에 레지스터 블록을 사용하고 데이터를 송수신하는 데에 듀얼-포트 RAM을 사용하였다. DMA(Direct memory access) 엔진은 추가적인 ARM의 overhead 없이 데이터의 흐름을 컨트롤할 수 있도록 FPGA 쪽에 설계되었다.

한번에 두 지역에서 5명의 엔지니어들이 설계 작업을 하였다. 설계 엔지니어들이 가능한 한 자율적으로 일할 수 있도록 Quartus® II 소프트웨어의 LogicLock™ 특성이 사용되었다. LogicLock 영역에서는 다수의 블록이 독립적으로 구현되고 그리고 나서 병합되게 해준다.

시뮬레이션

시스템 레벨의 시뮬레이션이 검증 전담 엔지니어에 의하여 실행되었지만 블록-레벨의 시뮬레이션은 팀내의 다수 엔지니어들이 책임지고 있었다. 설계 엔지니어들이 명백하지 않은, 구현-특화된 corner case를 사양을 읽어 테스트 한 반면 검증

엔지니어는 설계 엔지니어들이 범한 사양 오류를 색출하였다. Excalibur 디바이스를 사용하는 것은 프로젝트 전반에 걸쳐 HDL과 소프트웨어 설계 팀간의 협력을 필요로 한다. 이 긴밀한 협력관계를 바탕으로 상호-기능적 설계가 가능하게 되었다. 완전한 ARM 모델이 시스템-레벨의 시뮬레이션에 사용되었다. 하드웨어가 완성되기 수개월 전에 Kernel 소프트웨어가 기록되고(write) 컴파일되고 그리고 시뮬레이션에 사용되었다. 이러한 방식은 하드웨어가 완성되기 전에 실제 어플리케이션 코드가 동작되고 디버깅이 가능하게 해 주었다. 시뮬레이션이 kernel 및 HDL의 기본 기능을 제공하기 때문에 전체 엔지니어링 팀은 하드웨어에 전력할 수 있었으며 6개월의 개발 일정동안 많은 시간을 절약할 수 있었다.

결론

개발 및 평가 플랫폼은 설계자들이 겨우 5분 동안에 실리콘의 “signal of life”를 볼 수 있도록 해준다. 1개월 내에 고객은 그들의 고객이 실리콘-기반의 어플리케이션의 타임-투-마켓을 가속화할 수 있게 하기 위하여 프로토타입 추가를 요구하기 시작하였다. 이 프로젝트의 성공으로 Plexus사와 고객은 서로 긴밀한 파트너쉽을 형성할 수 있었다. 새로운 실리콘에 대한 엄격하고 철저한 테스트를 위하여 지속적으로 IP 코어와 kernel 기능이 추가되고 있다.

To enable the design engineers to work as autonomously as possible, the Quartus II software's LogicLock feature was used.

Cyclone



Cyclone : 업계 최저가 FPGA, 현재 양산 중

알테라는 저가형 Cyclone™ FPGA 제품군 중 최초 2개 디바이스를 양산 공급 중이다. 업계 첨단인 1.5-V, 0.13-마이크론 전층 구리 공정에 기반하고 있는 324- 및 400-핀 FineLine BGA® 패키지의 EP1C20 FPGA와 144-핀 TQFP(thin quad flat pack), 240-핀 PQFP(plastic quad flat pack) 그리고 256-핀 FineLine BGA 패키지의 EP1C6 FPGA가 그들이다.

양산 어플리케이션에 대하여 1천 개의 로직 엘리먼트(LE: Logic Element)당 1.5 달러 미만의 가격에 엔지니어는 알테라의 Quartus® II 설계 소프트웨어와 Nios® 임베디드 프로세서 그리고 알테라의 IP(intellectual property) 코어를 사용하여 Cyclone 디바이스를 설계할 수 있다.

제품 기획에서부터 선적에 이르기까지 경쟁 회사의 어떠한 제품에서도 유례가 없는 15개월이라는 짧은 기간동안에 알테라는 Cyclone FPGA 제품군을 개발하였다. 알테라는 Cyclone 디바이스를 기록적인 단기간동안에 출시하였으며 2002년 12월 이후 다양한 집적도를 가진 디바이스를 공급하고 있다. 대량 물량의 어플리케이션에 대한 진정한 저가 솔루션으로서 설계자는 알테라의 대리점을 통하여 Cyclone 디바이스를 즉각 공급 받을 수 있다. Quartus II 설계 소프트웨어는 모든 Cyclone FPGA를 지원한다.

표 1은 Cyclone 디바이스 목록을 보여 준다.

Table 1. Cyclone Device Availability	
Device	Production Availability
EP1C3	April 2003
EP1C4	September 2003
EP1C6	Now
EP1C12	March 2003
EP1C20	Now

Cyclone FPGA 특성

Cyclone FPGA는 다음과 같은 특성을 갖추고 있다:

- 최대 20,060개의 로직 엘리먼트(LE)
- 최대 294,912비트의 임베디드 RAM
- SDR(single data rate) SDRAM 메모리 디바이스 뿐만 아니라 DDR(double data rate) SDRAM 및 FCRAM 디바이스와의 통합을 위한 전용 외부 메모리 인터페이스 회로
- 온- 및 오프-칩 시스템 타이밍 관리를 위한 최대 2개의 PLL(phase-locked loop)
- 311 Mbps(megabit per second)가 가능한 최대 128개의 채널에 대한 LVDS 지원
- Nios 임베디드 프로세서 지원
- Quartus II 웹 에디션 소프트웨어에 의한 무료 소프트웨어 지원

Cyclone FPGA에 대한 고객의 반응

“우리 회사는 이전에 프로그래머블 로직을 사용하지 않았습니다. 그러나 Cyclone FPGA 제품군으로 업계 최저가에 고도의 설계유연성을 확신하게 되었습니다. 비록 새로운 제품군이기는 하지만, 알테라의 성공적인 Stratix™ 디바이스의 선적으로, 우리는 Cyclone 디바이스도 단기간에 공급될 것이라는 믿음을 가질 수 있었고 현재 Cyclone 제품을 조기에 공급 받음으로써 우리의 결정이 옳았다는 것이 입증되었습니다.”

Gary Pace

수석 엔지니어

Oilfield Electric Marine

Stratix

모든 Stratix 디바이스, 현재 양산 공급 중

모든 Stratix™ 디바이스가 현재 양산 공급 중이다. EP1S10, EP1S20, EP1S25, EP1S30, EP1S40, EP1S60 및 EP1S80의 양산 디바이스가 현재 공급되고 있다. 표 2를 참조하기 바란다.

Table 2. Stratix Device Availability Note (1)

Device	Availability
EP1S10	Now
EP1S20	Now
EP1S25	Now
EP1S30	Now
EP1S40	Now
EP1S60	Now
EP1S80	Now

Note to Table 2:

(1) Since production devices are available, engineering samples will no longer be offered for these devices.

Stratix 디바이스, 2종의 새로운 패키지 추가

Stratix 디바이스에는 현재 2종의 새로운 패키지가 추가되었다. EP1S40은 780-핀 FineLine BGA 패키지가 공급되며 EP1S80 디바이스는 1,020-핀 FineLine BGA 패키지가 공급될 것이다. 780-핀 FineLine BGA 패키지는 EP1S10 디바이스부터 EP1S40 디바이스까지 수직 마이그레이션 된다. 또한 1,020-핀 FineLine BGA 패키지는 EP1S30 디바이스부터 EP1S80 디바이스까지 수직 마이그레이션 된다.

780-핀 FineLine BGA 패키지와 1,020-핀 FineLine BGA 패키지의 EP1S80 디바이스가 2003년 2사분기에 공급될 것이다. 이들 패키지는 Quartus II 소프트웨어 2.2 버전 이상에서 지원된다.

Stratix GX

Stratix GX: 고속 시스템 솔루션

알테라는 현재 Stratix GX EP1SGX25C, EP1SGX25D, 그리고 EP1SGX25F 디바이스를 공급하고 있다; 이 디바이스들은 672-핀과 1,020-핀 BGA(ball-grid array) 패키지로 공급된다. 최초의

EP1SGX25 디바이스는 인증된 파트너사에게 공급되었으며 2003년 6월에 일반 고객에게 선보이게 된다. 특성화(characterization) 마무리를 위한 시간을 고려하여 이러한 일정을 잡았으며 완전한 설계 팩을 공급할 수 있게 해줄 것이다. Stratix GX 디바이스 공급에 관하여 표 3을 참조하기 바란다.

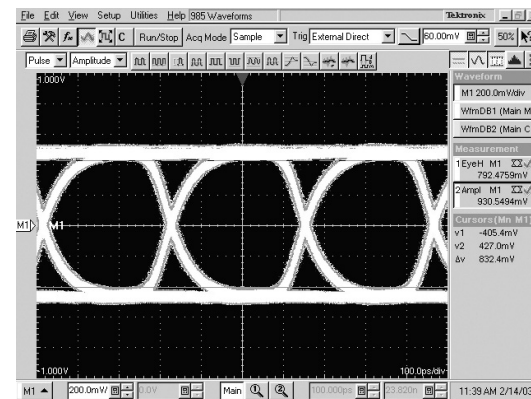
Table 3. Stratix GX Device Availability

Device	General ES Availability
EP1SGX10C	Q3 2003
EP1SGX10D	Q3 2003
EP1SGX25C	Q2 2003
EP1SGX25D	Q2 2003
EP1SGX25F	Q2 2003
EP1SGX40D	Q3 2003
EP1SGX40G	Q3 2003

특성화

특성화 과정은 일정에 맞추어 진행되고 있다 초기 결과는 기대한 성능보다 우수하여 매우 고무적이다. 그림 1은 트랜스미터 Stratix GX 고속 트랜시버로부터 얻어진 아이 다이어그램 측정 결과이다.

Figure 1. Transceiver Eye Diagram (3.125 Gbps)



Stratix GX는 40인치인 FR-4 패브릭간에 3.125 Gbps(gigabit per second)에서 성공적으로 동작하도록 특성화되었다. 또한 특성화는 소스-동기식 DPA(dynamic phase alignment) 회로에서도 진행되고 있다. 1Gbps 이상에서 소스-동기식 작동이 성공적인 것으로 보인다.

20페이지에 계속

19페이지에서 계속

Excalibur

Excalibur디바이스에서 SA-1110 유사 설계 구현

업계에서 많은 임베디드 프로세서 솔루션이 현재 공급되고 있다. 많은 경우에 그들은 어플리케이션-특화된 혹은 어플리케이션-중점의 디바이스를 대상으로 한다. 비록 일반적인 이점은 갖고 있지만 주변 장치의 공급은 특정 어플리케이션에서 최적의 요건이 아닐 수도 있다.



EXCALIBUR™

그와 같은 디바이스의 한 예는 인텔사의 SA-1110 StrongARM® 프로세서이다. ARM V4 인스트럭션 세트를 준수하는 코어에 기반하고 있는 이 디바이스는 최고급 PDA(personal digital assistant)와 컨슈머 기기 어플리케이션을 대상으로 한다. 만약 설계자가 인텔사의 SA-1110 디바이스를 컨슈머 마켓이 아닌 어플리케이션 영역에서 사용한다면 그것은 최상의 솔루션이 아닐 수도 있다. 그 설계는 세 개의 온-보드 UART나 LCD 컨트롤러, 혹은 IrDA(infrared data association) 주변 장치를 모두 필요로 하지 않을 수도 있으며 혹은 귀하가 그 자리에 유사한 주변 장치나 혹은 다른 완전한 기능 블록을 원할 수도 있기 때문이다.

알테라의 솔루션은 SOPC Builder를 사용하여 StrongARM-유사 설계를 Excalibur™ 디바이스에 구현할 수 있게 해준다. Excalibur 디바이스를 사용하기 때문에 ISA(instruction set architecture)는 두 개의 디바이스사이에서 일관되게 유지될 수 있고 인텔의 SA-1110디바이스의 커스텀 주변 장치 세트는 Excalibur 디바이스에 매핑될 수 있다.

설계자는 스탠드-얼론(stand-alone) 프로세서로서 인텔사의 SA-1110 기능을 통합하기 위하여 Excalibur EPXA1 디바이스를 사용할 수 있다. 많은 경우에, 인텔사의 SA-1110 디바이스는 PCI 인터페이스를 제공하기 위하여 FPGA와 연계하여 사용될 것이다. Excalibur EPXA4 디바이스를 사용하는 설계는 이 두 가지 기능 모두를 구현할 수 있다.

EPXA10D 개발 키트

Excalibur EPXA10 디바이스를 사용한 EPXA10D 개발 키트는 고성능 프로세서와 함께 고도의 집적된 로직을 요하는 다양한 어플리케이션에서 SOPC(system-on-a-programmable-chip) 설계의 개

발을 위한 이상적인 플랫폼이다(예, 무선 기지국과 네트워크 교환기).

이 보드는 이더넷 PHY(physical interface), 마그네틱 그리고 하나의 커넥터를 제공하며 이는 키트에 포함되어 제공되는 이더넷 MAC(media access control) 인터페이스의 OpenCore® Plus 버전에 의하여 지원된다. 또한 이 보드는 두 개의 UART 포트 커넥터를 포함하고 있는데 하나는 임베디드 프로세서 서브시스템의 UART 핀에 연결되어 있고 다른 하나는 프로그래머블 로직의 범용 I/O 핀에 연결되어 있다. UART OpenCore Plus IP 코어도 역시 제공된다.

EPXA10D 개발 보드의 특성은 다음과 같다.

- 1,020-핀의 FineLine BGA 패키지의 Excalibur EPXA10 디바이스
- 풀 듀플렉스 및 하프 듀플렉스 모드들을 지원하는 10/100 이더넷 PHY
- 두 개의 off RS232 UART 커넥터
- 16-M 바이트의 플래시 메모리(플래시로부터 부팅)
- 64-M 바이트의 온 보드 DDR(double data rate) SDRAM
- 시스템 설계를 위한 5 개의 온-/오프- 보드 클럭 소스
- ByteBlasterMV™ 다운로드 케이블
- IEEE Std. 1149.1 JTAG(Joint Test Action Group) 커넥터
- ARM® 디버깅 툴을 위한 Multi-ICE® 커넥터
- Daughter card를 위한 두 개의 알테라 확장-헤더(하나는 표준이고 하나는 긴)
- 하나의 사용자-정의 가능한 8-비트 DIP(dual in-line parallel) 스위치 블록
- 4 개의 사용자-정의된 푸쉬-버튼 스위치

EPXA10D 개발 키트는 다음을 포함한다.

- Excalibur EPXA10 개발 보드
- 파워 서플라이
- 문서
- 소프트웨어, 드라이버, 어플리케이션 사례를 수록한 CD
- 연결 케이블
- 1년간의 기간 제한 라이선스를 가진 Quartus II 소프트웨어
- SOPC Builder 및 GNUPro 툴

개발 키트에 대한 주문 코드는 EPXA-DEVKIT-XA10D로서 판매가격은 7,995 달러이다.

Nios Processor

Nios 임베디드 프로세서 3.0 버전

현재 공급 중

Nios 임베디드 프로세서 3.0 버전은 업계에서 가장 호응이 높은 컨피규레이션 가능 임베디드 프로세서의 성능을 더욱 강화한 제품이다. 3.0 버전은 성공적인 2.x CPU 아키텍처에 기반하고 있으며 다음과 같은 향상을 제공하고 있다.

- JTAG-기반의 Software Debugger Interface: Nios 온-칩 instrumentation 디버깅 모듈은 프로세서 동작 컨트롤과 하드웨어 breakpoint 그리고 표준 JTAG 연결을 통한 실시간 트레이스를 지원한다.
- 인스트럭션 및 데이터 캐시: 캐시 메모리는 오프-칩 메모리 디바이스를 액세스할 때 CPU 성능을 증가시킨다.
- 향상된 SDRAM 컨트롤러: 저가의 SDRAM 디바이스를 사용 더 높은 f_{MAX} 성능을 제공하며 새로운 캐시 메모리 특성과 연계하여 클럭 주당 대략 하나의 메모리 액세스를 하게 된다.

Nios 임베디드 프로세서 3.0 버전은 SOPC Builder 2.8 버전과 함께 공급되며 Nios 프로세서 시스템을 정의하고 통합하는 데에 사용이 간편한 같은 그래픽 인터페이스를 제공한다.

Nios 개발 키트, Stratix 에디션 현재 공급 중

Nios 개발 키트, Stratix 에디션은 설계자가 Nios 프로세서에 기반한 커스텀 임베디드 시스템을 개발하기 위한 하드웨어 및 소프트웨어 개발 툴을 모두 제공한다. 이 키트는 Nios 프로세서 3.0 버전과 Stratix EP1S10 디바이스와 8-M바이트 플래시 메모리, 1-M바이트 SRAM, 16-M바이트 SDRAM, CompactFlash 커넥터 등을 탑재한 개발 보드를 포함하고 있다. Nios 개발 키트, Stratix 에디션의 가격은 995달러이며 현재 공급 중이다.

Nios 프로세서 3.0 버전과 Nios 개발 키트, Stratix 에디션에 대한 최신 뉴스에 관하여 www.altera.com/nios를 방문하거나 4 페이지에 있는 "Nios Processor Version 3.0 Delivers the Features Customers Want Most"를 참조하기 바란다.

APEX II

APEX II 디바이스 공급

APEX™ II 디바이스 제품군의 모든 디바이스들이 현재 공급 중이다. APEX II 디바이스의 집적도 범위는 16,640개에서부터 67,200개의 로직 엘리먼트(LE)이며 풍부한 메모리를 갖고 있다;

ESB(embedded system block)당 4 K비트의 메모리를 갖고 있어 전체 디바이스 메모리로 416 K비트에서부터 1.1 M비트에 달한다. APEX II 디바이스 제품군은 LVDS, PCML, LVPECL, HSTL, SSTL 및 HyperTransport™ 테크놀러지와 같은 다양한 고속 I/O 표준을 통하여 고속의 데이터 전송을 지원한다. APEX II 디바이스는 True-LVDS™ 회로를 통하여 채널당 최대 1Gbps(gigabit per second)의 데이터 전송 속도를 얻을 수 있다. 설계자는 APEX 디바이스의 이러한 I/O 특성을 활용하여 다음과 같은 어플리케이션에 사용할 수 있다.

- PHY-link 레이어 인터페이스 어플리케이션 (POS-PHY, Flexbus 및 UTOPIA)
- 호스트-프로세서 인터페이스 어플리케이션 (HyperTransport 테크놀러지, PCI 및 PCI-X)
- 스위치 패브릭 인터페이스(CSIX 및 LCS)
- 외부 메모리 인터페이스(DDR, ZBT: zero bus turnaround 및 QDR: quad data rate 메모리 디바이스들)

고성능을 요하는 새로운 설계에 대하여, Stratix 및 Stratix GX FPGA를 활용하자. 이 FPGA들은 최상의 성능과 풍부한 특성을 제공한다.

APEX II 디바이스의 공급 일정에 대하여 표 4를 참조하자.

Table 4. APEX II Device Availability

Device	Package	Availability
EP2A15	672-pin FineLine BGA 724-pin BGA	Now
EP2A25	672-pin FineLine BGA 724-pin BGA	Now
EP2A40	672-pin FineLine BGA 724-pin BGA 1,020-pin FineLine BGA	Now
EP2A70	724-pin BGA 1,508-pin FineLine BGA	Now



22페이지에 계속

21페이지에서 계속

APEX II 인더스트리얼-등급 디바이스의 특성

현재 APEX II 디바이스 제품군의 인더스트리얼-등급 디바이스가 모두 공급 중이다. 이 디바이스의 인더스트리얼-등급의 양산 버전이 -8 속도 등급으로 공급되고 있다. 표 5는 공급되고 있는 인더스트리얼-등급의 제품들을 보여준다.

Table 5. APEX II Industrial Device Offering		
Device	Package	Availability
EP2A15	672-pin FineLine BGA	Now
EP2A25	672-pin FineLine BGA	Now
	724-pin BGA	Now
EP2A40	724-pin BGA	Now
	1,020-pin FineLine BGA	Now

Mercury**Mercury 디바이스 현재 양산 모드로 공급 중**

두 가지 제품 라인의 인더스트리얼-등급 제품을 비롯하여 Mercury™ 디바이스 제품군의 모든 디바이스 및 모든 속도 등급의 제품이 현재 양산 공급 중이다(표 6 참조). CDR(clock data recovery) 회로와 같은 고속 1.25-Gbps 시리얼 링크와 임베디드 SERDES(serializer/deserializer)를 보유한 이 디바이스는 시리얼 백플레인 어플리케이션에 매우 적합하다.

Table 6. Mercury Device Availability			
Device	Package	Temperature Grade	Availability
EP1M120	484-pin FineLine BGA	Commercial in -5, -6, -7 speed grade	Now
		Industrial in -6 speed grade	Now
EP1M350	780-pin FineLine BGA	Commercial in -5, -6, -7 speed grade	Now
		Industrial in -6 speed grade	Now

APEX**APEX 20KC, 양산 모드로 공급 중**

모든 APEX 20KC 디바이스와 패키지가 공급 중이다. 표 7은 APEX 20KC 디바이스의 공급 일정을 보여 준다.

고성능을 요하는 새로운 설계에 대하여, Stratix 및 Stratix GX FPGA를 활용하자. 이 FPGA들은 최상의 성능과 풍부한 특성을 제공한다.

Table 7. APEX 20KC Device Availability		
Device	Package	Availability
EP20K200C	208-pin PQFP	Now
	240-pin PQFP	Now
	356-pin BGA	Now
	484-pin FineLine BGA	Now
EP20K400C	652-pin BGA	Now
	672-pin FineLine BGA	Now
EP20K600C	652-pin BGA	Now
	672-pin FineLine BGA	Now
	1,020-pin FineLine BGA	Now
EP20K1000C	652-pin BGA	Now
	672-pin FineLine BGA	Now
	1,020-pin FineLine BGA	Now

인더스트리얼-등급의 APEX 특성

인더스트리얼-등급의 APEX 디바이스는 현재 다양한 패키지로 공급 중이다. 표 8, 9 그리고 표 10을 참조하기 바란다.

Table 8. APEX 20KC Device Industrial Offering

Device	Package	Speed Grade
EP20K200C	484-pin FineLine BGA	-8
EP20K400C	672-pin FineLine BGA	-8
EP20K600C	652-pin BGA 672-pin FineLine BGA	-8
EP20K1000C	1,020-pin FineLine BGA	-8

Table 9. APEX 20KE Device Industrial Offering

Device	Package	Speed Grade
EP20K30E	144-pin FineLine BGA	-2X (1)
EP20K60E	144-pin FineLine BGA 208-pin PQFP 324-pin FineLine BGA	-2X (1)
EP20K100E	144-pin FineLine BGA 240-pin PQFP 324-pin FineLine BGA 356-pin BGA	-2X (1)
EP20K160E	484-pin FineLine BGA	-2X (1)
EP20K200E	240-pin PQFP 356-pin BGA 484-pin FineLine BGA 672-pin FineLine BGA	-2X (1)
EP20K300E	240-pin PQFP 652-pin BGA 672-pin FineLine BGA	-2X (1)
EP20K400E	652-pin BGA 672-pin FineLine BGA	-2X (1)
EP20K600E	652-pin BGA 672-pin FineLine BGA	-2X (1)
EP20K1000E	652-pin BGA 672-pin FineLine BGA	-2X (1)

Note to Table 9:

- (1) The "X" denotes phase-locked loop (PLL) and LVDS support.

Table 10. APEX 20K Device Industrial Offering

Device	Package	Speed Grade
EP20K100	208-pin PQFP	-2V (1)
	240-pin PQFP	-2V (1)
	324-pin FineLine BGA	-2XV (1)
EP20K200	240-pin PQFP	-2V (1)
	484-pin FineLine BGA	
EP20K400	652-pin BGA	-2V (1)
	672-pin FineLine BGA	

Note to Table 10:

- (1) The "V" denotes 5.0-V tolerant I/O interfaces. The "X" denotes PLL support.

ACEX

ACEX 1K 디바이스 공급

ACEX[®] 1K 디바이스는 576-, 1,728-, 2,880- 그리고 4,992-개의 LE 집적도 범위를 가지며 QFP(quad flat pack) 및 FineLine BGA 패키지로 공급된다. 이 가격-최적화된 디바이스들은 특히 저가의 대량 생산형 어플리케이션에 적합하다. 중간 및 고집적도 설계를 위해서는 18 페이지에 있는 알테라의 최신 및 최저가 Cyclone FPGA 제품군을 참조하기 바란다.

모든 ACEX 1K 디바이스에 대하여 알테라의 웹사이트 www.altera.com에서 무료로 다운로드 받을 수 있는 소프트웨어인 Quartus II 웹 에디션 소프트웨어 2.2 버전에서 지원된다.

23페이지에서 계속

MAX**MAX Power Calculator**

현재 MAX[®] Power Calculator 표를 알테라의 웹사이트, MAX 설계 유틸리티 페이지에서 다운로드 받을 수 있다. 이 표는 MAX3000과 모든 MAX 7000디바이스 제품군에 대한 파워 예측을 간편하게 할 수 있게 해준다. 그것은 각각의 MAX 디바이스 제품군의 데이터시트내의 등식과 상수에 따른 파워를 자동 계산한다. 제품군과 대상 디바이스를 선택하고 동작과 토글 레이트의 주파수와 함께 사용된 매크로셀의 수를 입력한다(터보를 On 하거나 Off 앎고). 사용된 매크로셀의 수와 터보를 가진 매크로셀의 수는 MAX+PLUS[®] II 혹은 Quartus II 소프트웨어 리포트(.rpt) 파일에 있다.

만약 귀하가 주변 온도와 디바이스 패키지를 입력하면 표는 설계가 온도 요건을 만족하는지 검증하도록 파워 결과와 데이터를 통합한다. 또한 이 표는 선택된 디바이스 제품군과 집적도에 따라 자동으로 가능한 패키지 리스트를 보여주며 MAX 설계를 위한 완전한 파워 분석 툴을 제공한다.

무료 ByteBlasterMV 케이블

알테라는 우리의 제품이 어떻게 사용되고 차후에 무엇을 더욱 향상할 수 있을지를 이해할 수 있도록 고객의 의견을 수용하고 있다. 각계 각층의 고객으로부터 의견을 듣기 위하여, 새로운 MAX 웹 페이지는 온-라인 조사를 실시하고 있다. 이 조사는 페이지 오른쪽 프로모션 버튼에서 액세스 될 수 있으며 조사에 응답하는 50분에게 선착순으로 무료 ByteBlasterMV[™] 케이블을 드린다.

Configuration**새로운 시리얼 컨피규레이션 디바이스**

알테라의 새로운 시리얼 컨피규레이션 디바이스는 업계 최저가 컨피규레이션 디바이스로서 가격 경쟁이 심한 대량 생산형 어플리케이션을 위한 Cyclone FPGA의 장점을 더욱 강화하여 주는 이상적인 디바이스이다. 최대 효율성을 갖도록 만들어진 시리얼 컨피규레이션 디바이스는 1회용(OTP: one-time programmable) 솔루션보다도 낮은 가격에 ISP(in-system programmability) 및 재프로그래밍 기능을 갖고 있다.

향상된 컨피규레이션 디바이스

향상된 컨피규레이션 디바이스는 다양한 집적도 요건에 맞게 완전한 싱글-디바이스 솔루션을 제공한다. 수직 마이그레이션이 가능하여 귀하는 보드 레이아웃을 바꾸지 앎고도 EPC4를 같은 패키지의 EPC8이나 EPC16 디바이스로 쉽게 마이그레이션 할 수 있다. 현재 EPC4, EPC8, 그리고 EPC16 디바이스의 일반 및 인더스트리얼-등급의 디바이스들이 모두 공급 가능하다.

향상된 컨피규레이션 디바이스는 프로그래머블 디바이스의 바운더리-스캔-기반의, 인-시스템 컨피규레이션 표준에 맞는 빌트-인 IEEE 표준(IEEE 1532)을 통하여 ISP를 제공한다. ISP와 재프로그래밍 기능은 컨피규레이션 과정에 대한 유연성과 재-사용 능력을 부여하기 때문에 1회용 프로그래머블 솔루션에 비하여 탁월한 장점을 제공한다.

Design Software**Quartus II 2.2 버전 서비스 팩 1, Cyclone 디바이스에 대한 완전한 지원 강화**

Quartus II 소프트웨어 2.2 버전의 서비스 팩 1은 현재 알테라의 웹사이트에서 다운로드 받을 수 있다. 이 서비스 팩 1은 최초의 Cyclone 디바이스에 대한 프로그래밍 파일 생성을 추가하고 있으며 256-핀 FineLine BGA 패키지의 Cyclone EP1C6과 EP1C12 디바이스에 대한 핀-아웃 지원을 갖고 있다. 또한 2 종의 새로운 Stratix 패키지에 대한 지원도 추가하고 있다.

새로운 디바이스 지원

Quartus II 소프트웨어 2.2 버전의 서비스 팩 1은 표 11에 있는 디바이스에 대한 지원을 추가하고 있다.

Table 11. New Quartus II Software Device Support

Family	Device	Package
Cyclone	EP1C6	144-pin TQFP 240-pin QFP
	EP1C20	324-pin FineLine BGA 400-pin FineLine BGA
Stratix	EP1S40	780-pin FineLine BGA(1) 956-pin BGA 1,020-pin FineLine BGA 1,508-pin FineLine BGA
	EP1S80	1,020-pin FineLine BGA(1)

Note to Table 11:

(1) Advanced compilation and simulation only.

정보 자료

Quartus II 소프트웨어의 강화된 모든 주요 특성에 대한 정보는 Quartus II Software Release Notes 자료에 있다. 이 자료는 출 시 1주일 이내에 알테라의 웹 사이트 www.altera.com의 Literature 섹션에서 구할 수 있다.

Quartus II 웹 에디션, Cyclone 디바이스에 대한 모든 지원 추가

Quartus II 웹 에디션 소프트웨어는 업계 최저가 Cyclone 제품군의 모든 디바이스를 지원하고 있는 Quartus II 설계 소프트웨어의 무료 엔트리-레벨 버전이다. Quartus II 웹 에디션 소프트웨어 2.2 버전의 서비스 팩 1은 알테라의 웹사이트에서 구할 수 있으며 표 11에 리스트된 새로운 Cyclone 제품군의 초기 가능 디바이스에 대하여 프로그래밍과 일생성을 포함한다. 또한 Quartus II 웹 에디션 소프트웨어는 일부 Stratix 디바이스, APEX II, APEX 20KE, Excalibur, MAX 7000, MAX 3000, FLEX[®] 10KE, ACEX 1K 및 FLEX 6000 디바이스를 지원한다.

새로운 설계 소프트웨어 초보자 CD 현재 공급 중

알테라의 설계 소프트웨어 초보자 CD-ROM은 알테라의 디바이스 설계를 시작하는데 필요한 모든 소프트웨어를 포함하고 있다. 이 CD-ROM은 시스템-레벨의 설계와 FPGA 및 CPLD 설계, 그리고 다음과 같은 소프트웨어를 비롯한 임베디드 소프트웨어 개발에 대한 포괄적인 환경을 제공한다:

- Quartus II 웹 에디션 FPGA 및 CPLD 설계 소프트웨어
- SOPC Builder가 자동화된 시스템 개발 소프트웨어
- GNUPro 툴킷이 내장된 프로세서 개발 소프트웨어
- Nios OpenCore Plus 하드웨어 평가
- The MathWorks사의 Simulink 및 MATLAB 소프트웨어 평가버전에 대한 DSP Builder 인터페이스
- MAX+PLUS II BASELINE CPLD 설계 소프트웨어

이 CD-ROM은 Quartus II 웹 에디션 다운로드 페이지에서 옵션으로 혹은 lit_req@altera.com에 이 메일로 신청할 수 있다.

ByteBlaster II 케이블 현재 공급 중

ByteBlaster[™] II 프로그래밍 케이블은 ByteBlasterMV[™] 프로그래밍 케이블의 대체품이다. ByteBlaster II 케이블은 ByteBlasterMV 케이블의 모든 기능을 제공하며 다음의 새로운 특성을 추가로 제공한다:

- 새로운 저가 EPCS1과 EPCS4 시리얼 컨피규레이션 디바이스를 지원하는 액티브 시리얼 컨피규레이션 모드에 대한 지원
- 1.8-V 프로그래밍 및 컨피규레이션에 대한 지원

ByteBlaster II 케이블은 현재 공급 중이며 Quartus II 소프트웨어 2.2 버전이상에서 지원된다. 업데이트된 ByteBlaster II 소프트웨어 드라이버는 Quartus II 소프트웨어 2.2 버전 서비스 팩 1에 포함되어 새로운 EPCS1 및 EPCS4 컨피규레이션을 지원한다.



알테라-기반의 10 기가비트 이더넷 테스트 개발

Guylain Barlow(gbalow@innocor.com)

Innocor Ltd.

AMPPSM(Altera Megafunction Partners Program) 회원사

IP(Internet Protocol)가 텔레콤 네트워크의 핵심에 더 많이 놓이게 됨에 따라 서비스 제공자와 공급자에게는 사용자 트래픽 관리를 더욱 최적화하고자 하는 부담이 증가된다. 이로 인한 한가지 변화는 장거리 구축 LAN(local area network)-기반의 이더넷 프로토콜을 네트워크 코어로 확대하는 것이다. 이 변화는 기가비트 이더넷, 더 최근에는 IEEE에서 802.3ae 사양에서 정의된 바와 같은 10 기가비트 이더넷의 출현을 가져왔다. 공급자와 서비스 제공자는 이제 그들의 10 기가비트 이더넷 제품을 검증할 수 있는 독립적인 소스를 찾고 있다. 테스트 장비 제조 회사의 주요 과제는 어떤 특정한 기능이 10 기가비트 이더넷 사용자의 요구를 충족할지를 파악하는 것이다. 어떻게 10 기가비트 이더넷이 사용되는 지를 이해하는 것에서부터 출발하였다.

Innocor사의 10 기가비트 테스트 제품은 알테라의 프로그래머블 로직을 포괄적으로 사용하고 있다. StratixTM 및 APEXTM II 디바이스의 높은 로직 엘리먼트(LE: logic element) 집적도와 임베디드 RAM과 함께 고속 SFI-4, PL4/SPI4.2 및 8b10b I/O 기능은 그러한 광대역 어플리케이션의 요건에 이상적이다.

테스트 특성은 10 기가비트 이더넷 어플리케이션에 따라 매우 다양할 필요가 있다. 세가지 테스트 주요 영역은 전송(프레이밍과 오류 조건에 포커스를 가진), 라우팅/스위칭/스토리지(대기시간과 손실, 그리고 상위 레이어에 중점을 둔), physical layer에 집중되는 요소 레벨 등이다. 같은 하드웨어에서 10 기가비트 이더넷 LAN과 WAN(wide area network)을 테스트할 수 있는 테스트 장비는 사용자에게 절감 효과를 주며 제품에 대한 투자 손실이 없게 해준다. 코어 라우팅과 스위칭 그리고 스토리지에 대한 요건은 매우 다르다. 10 기가비트 이더넷은 POS와 더 낮은 속도의 이더넷에 관련된 테스트 요건을 지원하는 새로운 PHY 인터페이스이다. 이러한 환경에서 테스트 어플리케이션은 전송-기반의 사용자와 비교할 때 상위 레이어 어플리케이션과 네트워크 시뮬레이션에 더욱 더 초점을 두게 된다.

802.3ae 표준이 테스트가 필요한 10 기가비트 이더넷의 특정한 요소들을 결정하는 출발점이 된다. 그런 후에 요건들을 걸러내고 테스트 장비의 전체적인 아키텍처를 결정하도록 대상 사용자와 어플리케이션이 정해져야 한다. Innocor사는 전송 테크놀러지를 제공하고 개발하는데 있어 고객과의 협력을 거쳐 Testpoint SM-9953EX 10 기가비트 이더넷 기능을 설계하였다. 그 결과 초기에 Innocor사는 프레이밍 기기에 영향을 주는 측면을 테스트하도록 강력한 Layer 2 특성을 정립하는데 초점을 두었다. 시스템 레벨과 플로우 컨트롤을 테스트하도록 특성들이 추가되었다. 사용자가 유연성을 갖고 그들의 투자가 헛되지 않도록 하는 주요 요소들은 다음과 같다는 것을 알게 되었다.

- 단일 하드웨어 플랫폼에서 10 기가비트 이더넷 WAN(9.953 Gbps) 및 10기가비트 이더넷 LAN(10.3 Gbps)에 대한 지원
- 프로그래머블 로직 테크놀러지를 통하여 특성 강화를 지원하는 간편한 현장 업그레이드
- MSA(multi-source agreement) 테크놀러지를 통하여 서로 다른 웨이브 길이와 파워 레벨에서 다수의 레이저 유형에 대한 지원
- 10 기가비트 이더넷 WAN(초당 10.7 기가비트: Gbps)과 10 기가비트 이더넷 LAN(11.1Gbps)에 대한 ITU-T G.709와 함께 FEC(forward error correction)를 사용하여 장거리 어플리케이션을 지원하는 기능

전송 장비에서 10 기가비트 이더넷 인터페이스를 테스트하기 위하여 주요 특성 영역이 확정되었다.

- 프레임 크기 : 크고 작은 혹은 중간범위의 모든 프레임을 주입(inject) 및 확인 기능. 또한 테스트 장비는 MAC 프레임 길이가 부적합한지 테스트하여야 한다. VLAN(virtual local area network) 지원이 또한 필요하다.
- Payload 테스트 패턴 : 데이터 테스트 장비는 때때로 독점 CRC(cyclic redundancy code) 구조를 통하여 payload를 유효하게 한다. 전송 장비 테스트는 비트 레벨까지 테스트할 수 있기 위하여 더 강력한 PRBS(pseudo-random bit sequence) 방식을 필요로 한다. MAC(media access control)와 PCS(physical coding sub-layer)에서 PRBS31에 기반하는 테스트가 지원된다.



- 대역폭 컨트롤 : : 유효하지 않은 조건 테스트 (인터-프레임 갭이 허용되는 최소값보다 작은)를 포함하는 다양한 인터-프레임 갭 길이에 대한 적용.
- 플로우 컨트롤 특성 : LAN(10.3 Gbps)과 WAN(9.953 Gbps) 인터페이스간의 매칭되는 트래픽 속도가 MAC pause 프레임이나 ifsStretch 기능을 통하여 인터-프레임 갭 크기를 조정하도록 해준다.
- PCS 레이어 : PCS는 MAC 레이어의 정보를 인코딩한다. 테스트 장비는 분산된 오류와 블록 속도를 탐지하고 inject한다. 더욱이, 테스트가 원격 및 로컬 오류를 탐지하도록 제공되어야 한다.
- MAC 레이어 오류 : 패킷 오류 레이트의 형태로 CRC 오류 injection을 제공하는 기능
- Disruption Time Measurement : 10 기가비트 이더넷 WAN이나 LAN에 대하여 protection switching에 대한 전송 장비의 반응 능력이 측정되어야 한다.
- 동기화 : 내부 클럭, 루프 타이밍 및 클럭 속도 변경을 비롯한 클럭킹을 제공하는 옵션

위에 열거한 요건을 충족하기 위하여 테스터의 하드웨어 아키텍처는 유연한 프레임밍 테크놀러지와 현장-업그레이드 가능한 프로그래머블 로직을 포함하여야 한다. 테스트 되는 시스템의 한계가 10.3Gbps의 10 기가비트 이더넷 LAN 속도가 되도록 하기 위하여 양방향 라인 레이트 테크놀러지가 중요하다. 상위 레이어에서 더 많이 필요한 라우팅과 스위칭 그리고 스토리지 기기들에 의하여 지원되는 어플리케이션에 따라 서로 다른 요건들이 정해진다. 이렇게 요건이 추가되면 그러한 요건에 부합하기 위하여 비용이 증가되거나 혹은 맞춤형 하드웨어 아키텍처를 만들어야만 한다. 모든 테스트 장비 제조 회사들에게 최상의 방식은 로직 엘리먼트 사용과 입-출력 아키텍처의 영역내에서 프로그래머블 로직을 사용하는 것이다. IP 테스트를 위하여 선택할 수 있는 설계 예로서 다수의 복잡한 프로토콜과 트래픽 플로우를 통합하는 이더넷 트래픽 시뮬레이션을 실행하는 방법이 있다. 이 요건은 특히 10-Gbps 속도의 경우, 많은 양의 하드웨어 자원으로 장비의 가격이 증가될 것이라는 것을 암시한다. 대안으로서 트래픽 패턴이 소프트웨어를 통하여 구축되고 고속 메모리 디바이스로부터 동작될 수 있는데 반복 가능한 트래픽 시퀀스가 만들어진다.

- 802.2 LLC/SNAP, IPv4, IPv6, TCP, 및 UDP와 같은 다수의 프로토콜에 대한 지원 제공. 헤더

필드 에디션이 제공되어야 한다.

- 다중 트래픽 스트림 생성 및 분석. 다수 소스, 목적지로부터의 트래픽을 에뮬레이션하기 위해 IP 주소, 다수의 MAC을 시뮬레이션. 각각의 스트림은 자체 대역폭과 패킷 길이 그리고 프로토콜 정의를 갖고 있어야 한다.
- 테스트 중인 시스템을 통하여 딜레이와 대기시간(latency)의 예측을 비롯하여 서비스 매개변수의 품질에 대한 테스트와 시퀀스를 벗어난, 혹은 손실되었거나 폐기된 패킷을 확인
- 프로토콜 디코드에 따라 통계 버퍼 캡처를 가능하게 하는 통계에 대한 패킷 필터링
- MPLS, OSPF 및 BGP-4와 같은 프로토콜에 대한 제어판에서 네트워크를 시뮬레이션 하는 것과 유사한 라우팅 프로토콜 일치 및 성능 테스트

하나의 테스트 세트에서 전용 하드웨어가 10 기가비트 이더넷 요소 테스트 프론트 위에 필요하다. 이 시장 분야에서의 요건은 다음과 같다.

- OSNR(optical signal to noise ratio)의 평가
- Stressed-eye 테스트
- 지터 톨러런스 생성 및 측정
- 수신기 감도
- XAUI 인터페이스 테스트

많은 경우에 이러한 요건들은 중복되며 기술적으로 뿐만 아니라 비용면에서 문제를 제기한다. 그러므로 10 기가비트 이더넷 테스트 장비의 개발은 대상 시장과 어플리케이션에 달려있다. 주요 열쇠는 이들간의 균형을 제공하고 사용자에게 가격에 대한 최상의 유연성을 제공하는 것이다.

Innocor사는 10 기가비트 이더넷에 기반한 차기 전송 시장에 대한 제조 및 연구에 대한 요건과 개발 편의에 부응하기 위하여 SM-9953EX를 개발하였다. 더욱이 IP 스트리밍과 time-stamping, 패킷 시퀀싱 및 필터링과 같은 유용한 특성은 라우팅, 스위칭 및 스토리지 기기 제조를 위한 테스트 요건에 부합된다. 또한 10 기가비트 이더넷 LAN과 WAN의 테스트 외에 Innocor사의 SM-9953EX는 SONET, SDH, ATM 및 POS를 10 Gbps의 속도에서 테스트 할 수 있다.

Innocor사의 테스트 솔루션에 대한 더 자세한 정보를 위하여 Innocor사의 웹 사이트 www.innocor.com을 방문하거나 info@innocor.com으로 이메일하기 바란다.

귀하의 의견을 들읍니다.

알테라의 고객 어플리케이션 설문 프로그램을 통하여 최근 알테라의 Applications 를 방문하였던 고객은 알테라의 기술 지원과 관련한 고객의 경험에 관한 문의를 받았다.

2002년 한해 동안 약 1천 여 고객이 알테라의 기술 지원에 관한 문의를 받았으며 질문에는 알테라의 지원에 대한 품질과 응답이 신속하게 이루어졌는지에 관한 것이 있다. 또한 차후에 알테라로부터 고객이 기대하는 서비스 유형에 관한 질문도 들어 있다. 이러한 조사를 바탕으로 알테라 직원에 대한 폭넓은 교육에서부터 웹사이트 개편에 이르기 까지 알테라는 다각적인 개선과 향상을 꾀하였다.

피드백을 제공하느라 귀중한 시간을 할애하여 주신 고객께 감사의 뜻으로 amazon.com의 상품권이나 Palm hand-held를 우송하였다. 사진은 알테라의 FAE(Field Application Engineer)인 Ray Schouten씨가 Palm m515 handheld를 상품으로 받

은 L3 Communications사의 Scott Gygi씨를 축하하고 있는 모습이다.

Figure 1. Palm m515 Winner



알테라, 제3자 컨퍼런스에서 Design Practice 발표

Design Practice 설계의 타이밍 성능, 로직 활용도 그리고 시스템 신뢰도에 커다란 영향을 끼친다. 우수한 design practice를 사용하는 것은 프로토타이핑과 생산을 위한 ASIC과 FPGA 구현사이의 성공적인 설계 마이그레이션을 가능하게 해준다. 열악한 design practice는 낮은 성능과 많은 로직 및 자원 사용, 검증 시간의 증가와 함께 불안정한 혹은 신뢰할 수 없는 설계를 초래하게 된다.

알테라 제3자 컨퍼런스에 참가

보다 우수한 Design Practice를 위하여, 알테라는 Synopsys Users Group(SNUG) 컨퍼런스(3월 17일

부터 19일까지)와 International Mentor Users Group(MUG) 컨퍼런스(4월 28일부터 30일까지)에서 주제 발표를 하게 된다. 알테라의 강사는 설계자가 다음의 방법으로 어떻게 FPGA 설계에 대한 최적의 결과를 얻을 수 있는지에 관하여 발표할 것이다:

- 동기식 design practice의 영향을 이해
- 추천된 설계 테크닉 구현
- 첨단 FPGA 아키텍처 특성 구현

더 자세한 정보는 www.snug-universal.org나 www.mentorug.org를 방문하기 바란다.

단종 디바이스 업데이트

알테라는 product-term 과 FPGA 제품의 일부 디바이스를 단종할 예정이다(아래 표 참조). 고객이 대체 디바이스로의 점진적인 전환을 준비할 수 있도록 대부분의 디바이스에 대하여 일반적인 경우보다 긴 last-time buy(18개월) 및 last-time ship date(추가 6개월)를 적용할 예정이다.

MAX[®] 7000S와 같은 제품군의 일부 디바이스들이 제조 플로우의 운용 효율성을 증대하기 위하여 단종될 것이다. MAX 7000A 및 FLEX[®] 10KE, APEX[™] 20K 와 같은 제품군 그리고 MAX 7000B,

ACEX[®] 1K 및 APEX 20KE와 같은 제품군에서 여러 패키지와 속도 등급의 제품들의 주문 코드들이 통합되어 공급될 예정이다.

이 단종 시점이 지난 디바이스에 대한 지원은 애프터 마켓 공급자인 Rochester Electronics를 통하여 계속될 수도 있다. 1-508-462-9332로 Rochester Electronics에 연락하거나 알테라 한국 지사 혹은 대리점인 MJL 테크놀러지와 유니퀘스트 코리아에 문의하기 바란다.

Continued support for devices beyond the phase out period may be available through Rochester Electronics, an extended after-market supplier.

Product Family	Device	Last Order Date	Last Shipment Date	Reference
MAX 7000S	Selected devices with fixed-pulse width programming option	10/31/03	04/30/04	PDN 0203
MAX 7000A	Selected devices in micro ball-grid array (BGA), Fineline BGA [™] , and TQFP packages	10/31/03	04/30/04	PDN 0203
MAX 7000B	Selected devices	10/31/03	04/30/04	PDN 0203
FLEX 8000	Selected FLEX 8000 pin-grid array (PGA)packages	02/28/02	08/31/02	PDN 0107
	Selected devices	02/28/03	08/31/03	PDN 0107
FLEX 10K	Selected FLEX 10K PGA packages	02/28/02	08/31/02	PDN 0107
	Selected FLEX 10K PGA & BGA packages	02/28/03	08/31/03	PDN 0107
FLEX 10KA	Selected PGA packages	02/28/03	08/31/03	PDN 0107
FLEX 10KE	Selected PGA packages	02/28/03	08/31/03	PDN 0107
	Selected devices	10/31/03	04/30/04	PDN 0204
APEX 20K	Selected PGA packages	02/28/03	08/31/03	PDN 0107
	Selected devices	10/31/03	04/30/04	PDN 0204
APEX 20KE	Selected devices	10/31/03	04/30/04	PDN 0204
ACEX 1K	Selected devices	10/31/03	04/30/04	PDN 0204

How to Contact Altera

알테라의 정보와 서비스 지원을 더욱 간편하게 신청할 수 있게 되었다. 다음의 표에서는 알테라의 연락처를 소개하고 있다.

Information Type	U.S. & Canada	All Other Locations
Product Literature	http://www.altera.com	http://www.altera.com
Altera Literature Services (1)	lit_req@altera.com	lit_req@altera.com
News & Views Information	http://www.altera.com/literature/nview.html n_v@altera.com	http://www.altera.com/literature/nview.html n_v@altera.com
Non-Technical Customer Service	(800) 767-3753	(408) 544-7000
Technical Support	http://www.altera.com/mysupport (408) 544-6401	http://www.altera.com/mysupport (408) 544-6401 (2)
FTP Site	ftp.altera.com	ftp.altera.com
General Product Information	(408) 544-7104 http://www.altera.com	(408) 544-7104 (2) http://www.altera.com

Notes:

- (1) The *Quartus Installation and Licensing* and *MAX+PLUS II Getting Started* manuals are available from the Altera® web site. To obtain other MAX+PLUS® II software manuals, contact your local distributor.
- (2) You can also contact your local Altera sales office or sales representative. See the Altera web site for the latest listing.

Cyclone. Powerful by nature.

Low cost by design.



The lowest-cost FPGAs ever.

The Cyclone™ family is taking the industry by storm. At half the cost of competing FPGAs, Cyclone devices are the alternative to costly, inflexible ASICs for high-volume designs.

Cyclone devices are three times larger than previous low-cost FPGAs. Designed based on extensive input from hundreds of customers, the Cyclone family offers the ideal combination of cost, density, features, and performance for volume-driven applications.

Make your brainstorm a reality. For FPGA affordability, performance, and time-to-market that will blow you away, contact us today at www.altera.com/lowcost.



ALTERA
<http://www.altera.com>

알테라 한국지사
전화 : (02)538-6895 팩스 : (02)538-6896

Copyright © 2002 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, mask work rights, and copyrights.

Ahead of the curve

While others promise, Altera delivers.



Our time to market is your time to market.

- Only 0.13-micron FPGAs in production
- Off-the-shelf availability
- Industry's highest performance
- Most flexible memory
- Most powerful DSP

The revolutionary Stratix™ family, the industry's fastest and highest-density FPGAs, uses embedded TriMatrix™ memory and optimized DSP blocks to break performance and density barriers. As the only 0.13-micron FPGAs readily available for production applications, Stratix devices give designers the flexibility they need to make the most of their design time.

When you need a company to rely on, Altera delivers. Stay ahead of the curve with Stratix devices, the fastest growing FPGA family in the market.

Visit www.altera.com/curve today.



ALTERA
<http://www.altera.com>

알테라 한국지사
전화 : (02)538-6895 팩스 : (02)538-6896